

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月30日

出 願 番 号

Application Number:

特願2001-022479

出 願 人

Applicant(s):

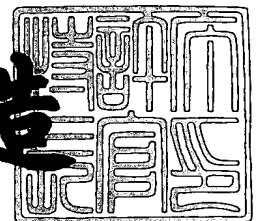
富士通株式会社



2001年 6月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3056014

【書類名】 特許願

【整理番号】 0040749

【提出日】 平成13年 1月30日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G02F 1/1337
G02F 1/1343
G09G 3/36

【発明の名称】 液晶表示装置とその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 伊藤 高英

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 平木 克良

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 関戸 哲

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 吉田 秀史

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 笹林 貴

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 形川 晃一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 岸田 克彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 永谷 真平

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 井ノ上 雄一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 大城 幹夫

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 田中 克憲

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 峯村 敏光

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置とその製造方法

【特許請求の範囲】

【請求項 1】 画像を表示する液晶表示手段へ画像データを供給する複数のデータ駆動手段を含む液晶表示装置であって、

少なくとも二つの前記データ駆動手段へ供給される前記画像データが同一である場合には、前記少なくとも二つのデータ駆動手段に対し同時に前記画像データを取り込ませる制御手段を備えたことを特徴とする液晶表示装置。

【請求項 2】 前記制御手段は、前記少なくとも二つのデータ駆動手段において前記画像データを取り込む必要がない期間には、前記画像データの取り込みタイミングを決定するクロック信号の前記データ駆動手段への供給を停止するクロック信号供給手段を含む請求項 1 に記載の液晶表示装置。

【請求項 3】 供給されたクロック信号に応じて画像データを取り込むと共に、画像を表示する液晶表示手段へ前記画像データを供給するデータ駆動手段を含む液晶表示装置であって、

前記データ駆動手段が前記画像データを取り込むタイミングを、前記クロック信号が第一の論理レベルから第二の論理レベルへ遷移する第一のタイミングか、または前記クロック信号が異なる論理レベルへ遷移する第二のタイミングのいずれかに任意に切り替え設定する制御手段を備えたことを特徴とする液晶表示装置。

【請求項 4】 供給されたクロック信号に応じて画像データを取り込むと共に、画像を表示する液晶表示手段へ前記画像データを供給するデータ駆動手段を含む液晶表示装置であって、

デューティ比が変化する前記クロック信号を生成して前記データ駆動手段へ供給する制御手段を備えたことを特徴とする液晶表示装置。

【請求項 5】 前記制御手段は、デューティ比が変化すると共に、前記画像データに同期する前記クロック信号を生成して前記データ駆動手段へ供給する請求項 4 に記載の液晶表示装置。

【請求項 6】 液晶セルを含む液晶パネルに画像を表示する液晶表示装置の

製造方法であって、

前記液晶セルの厚さ、あるいは、前記液晶セルに含まれる液晶層の複屈折の大きさに応じて、階調－輝度特性の指標となる γ 値を決定するステップを有する液晶表示装置の製造方法。

【請求項 7】 複数の液晶分子の配向を制御することにより画像を表示する液晶表示装置であって、

電圧が印加されたとき前記液晶分子が第一の向きに配向する第一の配向領域と

前記電圧が印加されたとき前記液晶分子が前記第一の向きと反対の第二の向きに配向すると共に、前記第一の配向領域と異なる広さを有する第二の配向領域とを備えたことを特徴とする液晶表示装置。

【請求項 8】 画素電極基板と対向基板との間に挟装された液晶層に含まれる液晶分子を配向させることにより、画像を表示する液晶表示装置であって、

前記対向基板の全面に形成された第一の電極と、

前記第一の電極上に形成され、第一のスリット部を有する樹脂層と、

前記第一の電極と対向するよう画素電極基板上に形成され、前記第一のスリット部と対向する第二のスリット部を有する第二の電極とを備えたことを特徴とする液晶表示装置。

【請求項 9】 画素電極基板と対向基板との間に挟装された液晶層に含まれる液晶分子を配向させることにより、画像を表示する液晶表示装置であって、

前記対向基板に設けられた土手状の第一の誘電体構造物と、

前記対向基板及び前記誘電体構造物を覆うように形成された第一の電極と、

前記画素電極基板上に形成され、前記誘電体構造物と対向するスリット部を有する第二の電極とを備えたことを特徴とする液晶表示装置。

【請求項 10】 画素電極基板と対向基板との間に挟装された液晶層に含まれる液晶分子を配向させることにより、画像を表示する液晶表示装置であって、

前記対向基板の全面に形成された第一の電極と、

前記対向基板に形成された第一の誘電体構造物、又は前記第一の電極に形成されたスリット部と、

前記画素電極基板上で、前記第一の電極に対向するよう設けられた第二の電極と、

前記第一の誘電体構造物の近傍における前記第一の電極、または前記スリット部の近傍における前記第二の電極を覆う誘電体層とを備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置とその製造方法に関するものである。

【0002】

【従来の技術】

図1は、従来の液晶表示装置におけるデータ駆動部の構成を示すブロック図である。図1に示されるように、従来の液晶表示装置におけるデータ駆動部は、データドライバDV1～DVnを含む。そして、各データドライバDV1～DVnは、供給された表示スタート信号に応じてデータ信号DATAを取り込み、その後次段のデータドライバへ活性化された表示スタート信号EOUTを供給する。このようにして、データ信号DATAは並設されたデータドライバDV1～DVnへ順次取り込まれる。なお、図1に示されるように、各データドライバDV1～DVnへはクロック信号CLKとラッチパルスLP、及び参照電圧Vrefが供給される。

【0003】

また、図2は図1に示されたデータドライバDV1の構成を示すブロック図である。なお、図1に示されたデータドライバDV2～DVnは、データドライバDV1と同様な構成を有する。

【0004】

図2に示されるように、データドライバDV1は出力アンプ1とD/Aコンバータ3、ラッチ回路5、シフトレジスタ7及びクロックコントローラ9を含む。ここで、出力アンプ1にはソース線SLが接続され、D/Aコンバータ3は出力アンプ1に接続される。また、ラッチ回路5はD/Aコンバータ3に接続され、シフトレジスタ7はラッチ回路5に接続される。また、クロックコントローラ9

はシフトレジスタ 7 に接続される。そして、D/A コンバータ 3 には参照電圧 V_{ref} が供給され、シフトレジスタ 7 にはデータ信号 DATA が供給される。さらに、クロックコントローラ 9 には表示スタート信号 EI とクロック信号 CLK 及びラッチパルスが供給されると共に、表示スタート信号 EOUT を出力する。

【 0 0 0 5 】

従って、上記のような構成を有する従来の液晶表示装置においては、データ信号 DATA によらず各データドライバ DV1 ~ DVn へクロック信号 CLK が供給されるため、該クロック信号 CLK によって EMI（電磁妨害雑音）レベルの悪化や消費電力の増大を招くという問題があった。

【 0 0 0 6 】

なお、近年においては電気・電子機器の技術が急速に発展しているが、低周波の領域では高調波による電気機器の加熱や火災、高周波の領域ではテレビ等への雑音混入等の障害が発生しており、このような電磁障害は世界各国の共通の問題となっている。従って、現在においては電磁障害に関する対策（EMI 対策）の必要性が高まっている。

【 0 0 0 7 】

一方、近年 TFT 液晶ディスプレイにおいては大型化や階調表示化、及び高コントラス化が図られ、パソコンのモニタあるいは TV 画像表示装置として使用されている。このようなアプリケーションにおいては、液晶ディスプレイがあらゆる方向から見えることが必要とされる。

【 0 0 0 8 】

ここで、広視野角を持った液晶ディスプレイを実現する技術として、MVA（Multi-domain Vertical Alignment）型液晶表示装置が考案されている。すなわち、MVA 型液晶表示装置では、図 3 に示されるように、土手状の誘電体構造物 13 が形成された透明電極 11 が対向するよう設けられ、二つの透明電極 11 間に液晶分子 15 を含む液晶層が挟装される。

【 0 0 0 9 】

そして、図 3（a）に示されるように、対向する透明電極 11 間に電圧が印加されていない場合には液晶分子 15 は垂直に配向しており、電圧が印加されると

図 3 (b) に示されるように、4 つの領域毎に所定の方向に傾く。これにより、該 4 つの領域が有する視角特性が混ざるため、広い視野角を得ることができる。

【 0 0 1 0 】

ここで、MVA 型液晶表示装置においては、図 4 のコントラスト線図に示されるように、白黒の視野角は上下左右の視角において傾き角 80 度においても、コントラスト (CR) 10 以上が実現されている。

【 0 0 1 1 】

なお、MVA 型液晶表示装置の構造としては、電極上に誘電体構造物の代わりにスリットを形成してもよく、一方の基板に該誘電体構造物、他方の基板に該スリットを形成して組み合わせた構造としても良い。また、一つの基板において誘電体構造物とスリットとを組み合わせて形成しても良い。

【 0 0 1 2 】

しかしながら、中間調の表示、例えば図 5 に示されるような女性の絵を表示した時には、下視角において図 6 に示されるように画像の全体が白くなりコントラストが低下してしまうといった問題が生じる。

【 0 0 1 3 】

【発明が解決しようとする課題】

本発明は、上述の問題を解消するためになされたもので、EMI レベルが低減され、かつ視角特性が改善された液晶表示装置とその製造方法を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

上記の目的は、画像を表示する液晶表示手段へ画像データを供給する複数のデータ駆動手段を含む液晶表示装置であって、少なくとも二つのデータ駆動手段へ供給される画像データが同一である場合には、少なくとも二つのデータ駆動手段に対して同時に画像データを取り込ませる制御手段を備えたことを特徴とする液晶表示装置を提供することにより達成される。

【 0 0 1 5 】

このような手段によれば、該画像データを転送するためのクロック信号を一時

的に停止し、あるいは該クロック信号の周波数を低減することができる。

【 0 0 1 6 】

また、本発明の目的は、供給されたクロック信号に応じて画像データを取り込むと共に、画像を表示する液晶表示手段へ画像データを供給するデータ駆動手段を含む液晶表示装置であって、データ駆動手段が画像データを取り込むタイミングを、クロック信号が第一の論理レベルから第二の論理レベルへ遷移する第一のタイミングか、またはクロック信号が異なる論理レベルへ遷移する第二のタイミングのいずれかに任意に切り替え設定する制御手段を備えたことを特徴とする液晶表示装置を提供することにより達成される。

【 0 0 1 7 】

このような手段によれば、クロック信号から発生する E M I ノイズのピーク周波数を分散することができる。

【 0 0 1 8 】

また、本発明の目的は、供給されたクロック信号に応じて画像データを取り込むと共に、画像を表示する液晶表示手段へ画像データを供給するデータ駆動手段を含む液晶表示装置であって、デューティ比が変化するクロック信号を生成してデータ駆動手段へ供給する制御手段を備えたことを特徴とする液晶表示装置を提供することにより達成される。

【 0 0 1 9 】

このような手段によれば、液晶表示手段に画像を表示する際に発生する高調波を分散させることができる。

【 0 0 2 0 】

ここで、より具体的には、上記制御手段は、デューティ比が変化すると共に、画像データに同期するクロック信号を生成してデータ駆動手段へ供給するものとすることができる。

【 0 0 2 1 】

また、本発明の目的は、液晶セルを含む液晶パネルに画像を表示する液晶表示装置の製造方法であって、液晶セルの厚さ、あるいは、液晶セルに含まれる液晶層の複屈折の大きさに応じて、階調－輝度特性の指標となる γ 値を決定するステ

ップを有する液晶表示装置の製造方法を提供することにより達成される。ここで、「液晶層の複屈折」とは、液晶の屈折率異方性 Δn と液晶セルの厚さ d との積 $\Delta n \cdot d$ を意味する。

【 0 0 2 2 】

このような手段によれば、液晶パネルの表示・視角特性を改善することができる。

【 0 0 2 3 】

また、本発明の目的は、複数の液晶分子の配向を制御することにより画像を表示する液晶表示装置であって、電圧が印加されたとき液晶分子が第一の向きに配向する第一の配向領域と、電圧が印加されたとき液晶分子が第一の向きと反対の第二の向きに配向すると共に、第一の配向領域と異なる広さを有する第二の配向領域とを備えたことを特徴とする液晶表示装置を提供することにより達成される。

【 0 0 2 4 】

このような手段によれば、所望の視角特性を有する液晶表示装置を容易に得ることができる。

【 0 0 2 5 】

また、本発明の目的は、画素電極基板と対向基板との間に挟装された液晶層に含まれる液晶分子を配向させることにより、画像を表示する液晶表示装置であって、対向基板の全面に形成された第一の電極と、第一の電極上に形成され、第一のスリット部を有する樹脂層と、第一の電極と対向するよう画素電極基板上に形成され、第一のスリット部と対向する第二のスリット部を有する第二の電極とを備えたことを特徴とする液晶表示装置を提供することにより達成される。

【 0 0 2 6 】

このような手段によれば、液晶分子を選択的に駆動することができる。

【 0 0 2 7 】

またここで、画素電極基板と対向基板との間に挟装された液晶層に含まれる液晶分子を配向させることにより、画像を表示する液晶表示装置であって、対向基板に設けられた土手状の第一の誘電体構造物と、対向基板及び誘電体構造物を覆

うように形成された第一の電極と、画素電極基板上に形成され、誘電体構造物と対向するスリット部を有する第二の電極とを備えたことを特徴とする液晶表示装置、あるいは、対向基板の全面に形成された第一の電極と、対向基板に形成された第一の誘電体構造物、又は第一の電極に形成されたスリット部と、画素電極基板上で、第一の電極に対向するよう設けられた第二の電極と、第一の誘電体構造物の近傍における第一の電極、またはスリット部の近傍における第二の電極を覆う誘電体層とを備えたことを特徴とする液晶表示装置によっても、液晶分子を選択的に駆動することができる。

【 0 0 2 8 】

【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一又は相当部分を示す。

〔実施の形態 1〕

図 7 は、本発明の実施の形態 1 に係る液晶表示装置の構成を示す図である。図 7 に示されるように、本実施の形態 1 に係る液晶表示装置 2 0 は、制御部 2 1 と基準電圧作成部 2 3、電源電圧作成部 2 5、ゲート駆動部 2 7、データ駆動部 2 9 及び液晶パネル 3 0 を備える。ここで、制御部 2 1 は供給される入力信号に応じて後述する種々の制御信号を生成する。また、基準電圧作成部 2 3 は電源電圧作成部 2 5 に接続され、基準電圧（階調電圧）を生成してデータ駆動部 2 9 へ供給する。

【 0 0 2 9 】

また、電源電圧作成部 2 5 は、外部から供給される外部電源電圧に応じて内部電源電圧や参照電圧 V_{ref} を生成し、ゲート駆動部 2 7 及びデータ駆動部 2 9 へ供給する。また、ゲート駆動部 2 7 は制御部 2 1 から供給される制御信号と電源電圧作成部 2 5 から供給される電圧とに応じて、液晶パネル 3 0 を構成する液晶セルの中からデータの書き込み対象とする液晶セルを選択する。また、データ駆動部 2 9 は制御部 2 1 から供給される制御信号及びデータ信号と、基準電圧作成部 2 3 及び電源電圧作成部 2 5 から供給される電圧とに応じて、上記液晶セルへデータ信号を供給する。

【 0 0 3 0 】

図 8 は、図 7 に示された制御部 2 1 の第一の構成を示すブロック図である。図 8 に示されるように、制御部 2 1 はシフトレジスタ 3 1、3 2 と AND 回路 3 3、3 4、排他的論理和回路 (XOR) 3 5、遅延フリップフロップ (D-FF) 3 7、マスク信号作成回路 3 9、1 ドライバカウンタ 4 1、及びスタートパルス作成回路 4 3 を備える。

【 0 0 3 1 】

ここで、シフトレジスタ 3 1 にはデータ信号 DATA とクロック信号 CLK が供給され、シフトレジスタ 3 2 はシフトレジスタ 3 1 に接続される。また、排他的論理和回路 (XOR) 3 5 の入力ノードはシフトレジスタ 3 1 の出力ノード及び入力ノードに接続される。そして、遅延フリップフロップ (D-FF) 3 7 は XOR 3 5 に接続され、クロック信号 CLK が供給される。また、マスク信号作成回路 3 9 は D-FF 3 7 及び 1 ドライバカウンタ 4 1 に接続される。

【 0 0 3 2 】

また、AND 回路 3 3 はシフトレジスタ 3 2 及びマスク信号作成回路 3 9 に接続され、データ信号 DATAOUT を出力する。そして、AND 回路 3 4 にはクロック信号 CLK とマスク信号作成回路 3 9 から出力された信号 S e が供給され、クロック信号 CKOUT を出力する。

【 0 0 3 3 】

また、1 ドライバカウンタ 4 1 にはクロック信号 CLK と水平同期信号 HSYNC が供給される。そして、スタートパルス作成回路 4 3 は D-FF 3 7 及び 1 ドライバカウンタ 4 1 に接続されると共に、クロック信号 CLK 及び水平同期信号 HSYNC が供給され、データ取り込みスタート信号 (スタートパルス) C 1 ~ C n を生成してデータ駆動部 2 9 に含まれた各データドライバへ供給する。

【 0 0 3 4 】

ここで、スタートパルス C 1 は第一のデータドライバへ供給され、スタートパルス C 2 は第二のデータドライバへ供給され、スタートパルス C 3 は第三のデータドライバへ供給され、スタートパルス C 4 は第四のデータドライバへ供給される。

【 0 0 3 5 】

上記において、シフトレジスタ 3 1, 3 2 のデータ容量は、一つのドライバが一度に出力するデータを保持し得る大きさとされる。

【 0 0 3 6 】

以下において、図 8 に示された制御部の動作を図 9 を参照しつつ説明する。なお、図 9 に示されるように、時刻 T 1 から時刻 T 2、時刻 T 2 から時刻 T 3、時刻 T 3 から時刻 T 4、時刻 T 4 から時刻 T 5、及び時刻 T 5 から時刻 T 6 の各期間（「ドライバ読み込み期間」ともいう。）には、対応する各データドライバに供給されるデータ群がデータ信号 DATA として制御部へ供給され、一例として第一のデータドライバ及び第二のデータドライバへ同じデータ信号 A が供給され、第三のデータドライバへデータ信号 B、第四のデータドライバへデータ信号 C がそれぞれ供給される場合について説明する。

【 0 0 3 7 】

まず、図 9（a）に示されるように、時刻 T 1 から時刻 T 2 の間には、第一のデータドライバへ供給されるデータ信号 A がシフトレジスタ 3 1 へ格納される。そして次のドライバ読み込み期間に、第二のデータドライバへ供給されるデータ信号 DATA として同じデータ信号 A がシフトレジスタ 3 1 へ入力されると、第一のデータドライバへ供給されるデータ信号 A はシフトレジスタ 3 2 へ転送される。

【 0 0 3 8 】

このとき、排他的論理和回路 3 5 はシフトレジスタ 3 1 から出力された図 9（c）に示された信号 S a と、シフトレジスタ 3 1 へ入力されたデータ信号 DATA とを比較し、同じデータ信号 A であることからハイレベルの信号を出力する。そして、この信号は D - F F 3 7 により遅延され、図 9（e）に示されるように時刻 T 2 から時刻 T 3 の 1 ドライバ読み込み期間にハイレベルとなる信号 S c が生成される。

【 0 0 3 9 】

次に、マスク信号作成回路 3 9 は、1 ドライバカウンタ 4 1 において生成された図 9（f）に示されるクロック信号 S d によって信号 S c をラッチする。そして、マスク信号作成回路 3 9 は、信号 S c がロウレベルに遷移した後に最初に供

給されるクロック信号 S d に応じて 1 ドライバ読み込み期間ロウレベルとされる信号 S e を生成し出力する。

【 0 0 4 0 】

これより、AND 回路 3 3 は図 9 (g) に示された信号 S e と、図 9 (d) に示された信号 S b との論理積をとることによって、図 9 (h) に示されたデータ信号 DATAOUT をドライバへ出力すると共に、AND 回路 3 4 は図 9 (b) に示されたクロック信号 CLK と、図 9 (d) に示された信号 S b との論理積をとることによって、図 9 (i) に示されたクロック信号 CKOUT をドライバへ出力する。

【 0 0 4 1 】

一方、図 9 (j) 及び図 9 (k) に示されるように、スタートパルス作成回路 4 3 は供給される信号 S c がハイレベルからロウレベルへ遷移する時刻 T 3 において同時に活性化されたスタートパルス C 1 , C 2 を、第一のデータドライバ及び第二のデータドライバへそれぞれ供給する。これにより、第一及び第二のデータドライバは、それぞれスタートパルス C 1 , C 2 に応じて、時刻 T 3 から時刻 T 4 の間に供給された同じデータ信号 A を同時に取り込む。

【 0 0 4 2 】

なお、図 9 (l) 及び図 9 (m) に示されるように、スタートパルス作成回路 4 3 により生成されるスタートパルス C 3 は時刻 T 5 において活性化され、スタートパルス C 4 は時刻 T 6 において活性化されるため、図 9 (h) に示されるように第三のデータドライバはスタートパルス C 3 に応じてデータ信号 B を取り込み、第四のデータドライバはスタートパルス C 4 に応じてデータ信号 C を取り込む。

【 0 0 4 3 】

以上のように、例えば第一のデータドライバへデータ信号 A を供給する場合に、スタートパルス C 1 と同時にスタートパルス C 2 をハイレベルに活性化させることにより、第二のデータドライバへもデータ信号 A をデータを同時に供給することができる。従って、この場合には第一のデータドライバへデータ信号を供給した直後の 1 ドライバ読み込み期間においては、第二のデータドライバへデータ信号を供給する必要がなくなるため、この期間は図 9 (i) に示されるように、

データドライバへクロック信号CKOUTを供給する必要がなくなり、クロック信号CKOUTを停止することができる。これより、該クロック信号CKOUTによるEMIレベルを低減することができる。

【0044】

またここで、上記のようにデータドライバへ供給するクロック信号CKOUTを一時的に停止する代わりに、図10に示されるように、クロック信号CLKを例えば2分周したクロック信号CKOUTを生成すると共に、時刻T3から時刻T5までの間においてデータ信号Aを2倍周期としたデータ信号A'を第一及び第二のデータドライバへ供給し、上記クロック信号CKOUTに同期して第一及び第二のデータドライバへ同時にデータ信号A'を取り込ませるようにしても上記と同様にEMIレベルを低減することができる。

【0045】

以下において、より詳しく説明する。図11は、図7に示された制御部の第二の構成を示すブロック図である。図11に示された制御部は、図8に示された制御部と同様な構成を有するが、FIFO (First-In First-Out) 回路45と2分周回路55、2分周クロックセレクト回路53、及び選択回路51をさらに備える点で相違する。

【0046】

ここで、FIFO回路45はシフトレジスタ32に接続され、2分周回路55にはクロック信号CLKが供給される。また、2分周クロックセレクト回路53は1ドライバカウンタ41に接続され、選択回路51はAND回路34に接続される。

【0047】

上記のような構成を有する制御部においては、2分周回路55が図12(b)に示されたクロック信号CLKを2分周し、図12(c)に示されたクロック信号2XCLKを生成する。また、2分周クロックセレクト回路53は、図12(f)に示された信号Scが時刻T2と時刻T3の間にハイレベルとなることを検出し、同一のデータ信号Aを第一及び第二のデータドライバへ供給する期間(時刻T3から時刻T5)にハイレベルとなる信号Sf(図12(i))を生成する。

【0048】

また、図12(k)に示されるように、選択回路51は供給された信号Sfに応じて時刻T3から時刻T5の間に図12(c)に示されたクロック信号2XCLKを、時刻T5以降においては図12(b)に示されたクロック信号CLKをそれぞれクロック信号CKOUTとして選択的に出力する。

【0049】

一方、FIFO回路45はAND回路34からw端子に供給されるクロック信号CLKに応じて、時刻T3から時刻T4の間においてシフトレジスタ32から供給されるデータ信号Aを取り込むと共に、時刻T3から時刻T5の間において選択回路51から供給されるクロック信号CKOUT(図12(k))に応じて、該データ信号Aを図12(j)に示されたデータ信号A'として出力する。

【0050】

また、本実施の形態1に係るデータ駆動部29は、図13に示されるように並設されたデータドライバ59~63により構成することができる。ここで、図13に示されたデータドライバ59~63には、それぞれ対応する表示スタート信号C1~Cnが供給され、データ信号DATAの取り込みタイミングが個々のデータドライバ59~63毎に制御される。

【0051】

そして、この表示スタート信号C1~Cnは、図14に示されるように、例えばアドレス線に接続されたデコーダ65により生成することができる。ここで、デコーダ65は図15(a)及び図15(b)に示されるように、供給されるアドレスD1~D4をデコードすることにより、表示スタート信号C1~Cnを生成する。このようなデータ駆動部29によれば、少ないアドレス線を設けることにより表示スタート信号C1~Cnを制御することができる。

【0052】

また、図16に示されるように、図14に示されたデコーダ65を設ける代わりに、個々のデータドライバ66にデコーダ80を内蔵させ、図17に示されるようにこのデータドライバ66を並設してもよい。

【0053】

以上より、本発明の実施の形態1に係る液晶表示装置によれば、複数のデータドライバへ同一のデータ信号を供給する場合には、該データ信号を転送するためのクロック信号を停止し、あるいは該クロック信号の周波数を低減することができるため、EMIレベル及び消費電力を低減することができる。

〔実施の形態2〕

従来の液晶表示装置では、一般的にシングルエッジ駆動かダブルエッジ駆動が採用されている。ここで、「シングルエッジ駆動」とは図18に示されるように、周期 T のクロック信号における片方のエッジすなわち例えばロウレベルからハイレベルへ遷移するタイミングを利用して、データドライバへデータ信号を取り込ませる駆動方法をいう。また、「ダブルエッジ駆動」とは図19に示されるように、周期 $2T$ のクロック信号における両エッジすなわち論理レベルが変化するタイミングを利用して、データドライバへデータ信号を取り込ませる駆動方法をいう。

【0054】

なお、周期 $2T$ のクロック信号（ダブルエッジクロック信号）は、図20に示されるように、遅延フリップフロップ（D-FF）回路81と反転回路83により構成される回路によって生成される。ここで、反転回路83の入力ノードはD-FF回路81の出力ノードに接続され、反転回路83の出力ノードはD-FF回路81のD端子に接続される。

【0055】

このような構成を有する回路において、D-FF回路81のCK端子には図21(a)に示された周期 T の信号（シングルエッジクロック信号）が供給され、D-FF回路81からは図21(b)に示されたダブルエッジクロック信号が出力される。

【0056】

ここで、従来は上記シングルエッジ駆動と上記ダブルエッジ駆動の2種類の駆動が実行可能な回路においても、いずれか一方の駆動方法だけが固定的に採用され、EMI対策としてはフィルタやビーズ（コイル）等を用いてクロック信号のノイズを消すという方法が採られていた。

【 0 0 5 7 】

しかしながら、上記のようにフィルタやビーズ等を用いる方法は、クロック信号とデータ信号相互の位相関係にも影響するため、必ずしも E M I レベルを良好な値まで低減することができないという問題がある。

【 0 0 5 8 】

また、最近においてはクロック信号の周波数を微妙に変化させて高調波のノイズピークを散らす方法も採用されているが、この方法では周波数が変動したクロック信号は元のクロック信号に対し非同期となるため、データ信号に対して同期をとることができないという問題があり、専用の I C を使用する必要性からコストアップを招くという問題もあった。

【 0 0 5 9 】

以下においては、クロック信号から発生する E M I ノイズのピーク周波数を分散することにより上記問題を解決する、本発明の実施の形態 2 に係る液晶表示装置について説明する。

【 0 0 6 0 】

本発明の実施の形態 2 に係る液晶表示装置は、図 7 に示された実施の形態 1 に係る液晶表示装置と同様な構成を有するが、データ駆動部に含まれる各データドライバはシングルエッジ駆動とダブルエッジ駆動のいずれの駆動方法によっても駆動され得るものであり、供給される制御信号に応じてどちらの駆動方法を採用するかを選択する点で相違する。以下において、より具体的に説明する。

【 0 0 6 1 】

図 2 2 は、本発明の実施の形態 2 に係る液晶表示装置を構成する制御部に含まれる選択回路を示す図である。図 2 2 に示されるように、選択回路 8 4 の A 端子にはシングルエッジクロック信号が供給され、B 端子にはダブルエッジクロック信号が供給され、S 端子には制御信号が供給される。

【 0 0 6 2 】

ここで、選択回路 8 4 は制御信号に応じてシングルエッジクロック信号又はダブルエッジクロック信号のいずれか一方を選択的に出力する。ここで、制御信号は制御部内で任意に作成することができるが、図 2 3 に示されるように、該デー

タドライバが有効表示データをラッチした後の時刻 T_{INV} において反転させることとすれば、データ信号の取り込み不良を回避することができる。

【0063】

図24は、本実施の形態2に係る液晶表示装置におけるデータドライバ95の構成を示す図である。図24に示されるように、データドライバ95は第一データレジスタ91と第二データレジスタ93、及び選択回路89と反転回路87とを備える。ここで、第一及び第二データレジスタ91、93へデータ信号DATAが、第一データレジスタ91と選択回路89のA端子及び反転回路87にはクロック信号CLKが、選択回路89のS端子には制御信号がそれぞれインタフェース部85を介して供給される。また、反転回路87の出力ノードは選択回路89のB端子に接続され、選択回路の出力ノードは第二データレジスタ93に接続される。

【0064】

このような構成を有するデータドライバ95においては、第一及び第二データレジスタ91、93は共に、入力されるクロック信号がロウレベルからハイレベルへ遷移するいわゆる立ち上がりタイミングにおいてのみデータ信号DATAを取り込むものとされる。

【0065】

一方、図25(a)に示されたデータ信号DATAに対しシングルエッジクロック信号が図25(b)に示される位相関係にあるとき、該シングルエッジクロック信号に基づいて図25(c)に示されるダブルエッジクロック信号が生成され、反転回路87によって図25(d)に示される反転ダブルエッジクロック信号が生成される。

【0066】

ここで、データドライバ95がダブルエッジ駆動される場合には、図25(c)に示されたダブルエッジクロック信号が供給されても、偶数番目のデータ信号を対応するレジスタへ取り込むことができないため、偶数番目のレジスタへ図25(d)に示された反転ダブルエッジクロック信号が供給されるよう制御信号により選択回路89が制御される。すなわち、偶数番目のレジスタに対応する選択

回路 8 9 では、供給される制御信号に応じて反転回路 8 7 から出力された信号が選択的に出力される。

【 0 0 6 7 】

以上より、本発明の実施の形態 2 に係る液晶表示装置によれば、簡易な構成によりシングルエッジ駆動とダブルエッジ駆動を任意に切り替えることができるため、クロック信号から発生する E M I ノイズのピーク周波数を分散することによって E M I レベルを低減することができる。

〔実施の形態 3〕

システムによるデータの高速処理化により、情報機器のシステム駆動クロックが高速化してきている。これに伴い高周波数のクロックで回路を駆動するようになったため、E M I のノイズレベルを抑える必要性が高まっている。

【 0 0 6 8 】

ここで、従来はビーズやフィルタを利用し、あるいは構造的にシールドを強化する等の対策が施されていたが、駆動周波数が高くなってゆく現状では単にクロック波形のノイズを消すだけの方法では対処できないという問題がある。

【 0 0 6 9 】

また、一つの解決手段としてクロックの周波数を変動して高調波のピークを散らす方法があるが、この手法は周波数変動したクロックが元のクロックに対して非同期の関係となるため、データとの同期が取れないという問題がある。

【 0 0 7 0 】

そこで、本発明の実施の形態 3 に係る液晶表示装置では、E M I のノイズレベルを決定する波形の変化タイミングを変動させることによって、一点に集中していたノイズレベルを別なポイントに散らし、ノイズレベルが下げられる。

【 0 0 7 1 】

なお、一般的な高周波パルスにおけるフーリエ成分のうち n 次の高調波は次式により表すことができる。

$$a A + A / n \pi \times [\sqrt{2(1 - \cos 2 \pi a n)}] \times \sin(n \omega t + \phi)$$

なお、上式において A は振幅を示し、 a はデューティを示す。従ってこれより、デューティ比が変動すると高調波が変化することが分かる。以下において、本

実施の形態 3 に係る液晶表示装置について、具体的に説明する。

【 0 0 7 2 】

図 2 6 は、本発明の実施の形態 3 に係る液晶表示装置の構成を示すブロック図である。図 2 6 に示されるように、本実施の形態 3 に係る液晶表示装置は、ゲート駆動部 2 7 とデータ駆動部 2 9、液晶パネル 3 0 及び制御部 1 0 0 とを備える。ここで、ゲート駆動部 2 7 及びデータ駆動部 2 9 は制御部 1 0 0 に接続され、液晶パネル 3 0 はゲート駆動部 2 7 及びデータ駆動部 2 9 に接続される。

【 0 0 7 3 】

また、制御部 1 0 0 は階調電源作成部 2 3 と電源作成部 2 5、ドライバ制御信号作成部 9 7 及びデータタイミング制御部 9 9 を含む。そして、ドライバ制御信号作成部 9 7 は、ゲートクロック GCLK やデータクロックなど、ゲート駆動部 2 7 やデータ駆動部 2 9 を駆動するための信号を作成する。また、データタイミング制御部 9 9 は、ドライバ制御信号作成部 9 7 により作成されたデータクロックにデータを同期させる。

【 0 0 7 4 】

図 2 7 は、図 2 6 に示されたドライバ制御信号作成部 9 7 及びデータタイミング制御部 9 9 に含まれた回路の構成を示す図である。図 2 7 に示されるように、この回路は遅延回路 1 0 1 と遅延フリップフロップ 1 0 3、1 1 1、AND 回路 1 0 5 ~ 1 0 7、OR 回路 1 0 8、及びバッファ 1 0 9 を備える。そして、遅延回路 1 0 1 と遅延フリップフロップ 1 0 3 には液晶表示装置の外部からクロック信号 INCLK が供給される。また、AND 回路 1 0 5 には遅延回路 1 0 1 から出力されたクロック信号 DCK0 とクロック信号 INCLK とが供給され、AND 回路 1 0 6 には AND 回路 1 0 5 から出力されたクロック信号 DCK1 と遅延フリップフロップ 1 0 3 から出力されたクロック信号 2CK が供給される。また、AND 回路 1 0 7 にはクロック信号 INCLK と遅延フリップフロップ 1 0 3 から出力された反転クロック信号 /2CK が供給される。

【 0 0 7 5 】

そして、OR 回路 1 0 8 には AND 回路 1 0 6、1 0 7 から出力された二つの信号が供給されて論理和が演算され、デューティクロック信号 DTICK1 が生成され

るが、このデューティクロック信号DTYCK1はバッファ109によりバッファリングされる。また、遅延フリップフロップ111へバッファ109から出力される信号と液晶表示装置の外部から供給される信号INDATAが入力され、デューティデータ信号DTYDT1が生成される。

【0076】

ここで、図27に示された遅延回路101は、例えば図28に示されるように、直列接続された抵抗素子Rとシュミットトリガ回路113及びバッファ115により構成することができる。また、遅延回路101としては、図29に示されるように、一方の電極が接地されたキャパシタCが抵抗素子Rの代わりに備えられた遅延回路101aを用いてもよい。なお、上記抵抗素子R及びキャパシタCにより、入力されたクロック信号INCLKの波形は鈍らされる。また、上記遅延回路101は、図30に示されるように、入力されるクロック信号INCLKより電圧レベルの低いバッファ117と、入力された信号をクロック信号INCLKと同じ電圧レベルへレベル変換するバッファ118とを直列接続することにより構成された遅延回路101bで置き換えることもできる。

【0077】

以下において、図27に示された回路の動作を、図31のタイミングチャートを参照しつつ説明する。まず、図31(1)及び図31(3)に示されるように、外部から液晶表示装置に入力されたクロック信号INCLKは、遅延回路101により所定時間遅延されクロック信号DCK0が生成される。そして、AND回路105は図31(1)に示されたクロック信号INCLKと、図31(3)に示されたクロック信号DCK0との論理積を演算し、図31(3)に示されたクロック信号DCK1を生成する。ここで、クロック信号DCK1は図31(1)に示されたクロック信号INCLKに対して、ロウレベル(L)からハイレベル(H)へ遷移するいわゆる立ち上がりエッジのみを遅延させたクロック信号に相当する。

【0078】

一方、図31(4)及び図31(5)に示されるように、遅延フリップフロップ103によりクロック信号2CKが生成されるが、この信号は図31(1)に示されたクロック信号INCLKの立ち上がりタイミング毎に論理レベルが遷移し、ク

ロック信号INCLKの2倍の周期を有するクロック信号となる。なお、遅延フリップフロップ103により、クロック信号2CKを反転させた図31(5)に示される反転クロック信号/2CKが生成される。

【0079】

そして、AND回路106は、図31(3)に示されたクロック信号DCK1と、図31(4)に示されたクロック信号2CKとの論理積を演算し、AND回路107は、図31(1)に示されたクロック信号INCLKと、図31(5)に示された反転クロック信号/2CKとの論理積を演算する。

【0080】

これにより、OR回路108からは図31(6)に示されたデューティクロック信号DTYCK1が生成される。すなわち、このデューティクロック信号DTYCK1は、図31(3)に示されたクロック信号DCK1と図31(1)に示されたクロック信号INCLKとが1クロック毎に交互に繰り返される信号となり、1クロックおきにデューティ比が変動する信号となる。

【0081】

そして、遅延フリップフロップ111は、上記データ信号INDATAをデューティクロック信号DTYCK1に応じて遅延させ、図31(7)に示されるデューティデータ信号DTYDT1を生成し出力する。ここで、このデューティデータ信号DTYDT1は、図31(6)及び図31(7)に示されるように、デューティクロック信号DTYCK1のいわゆる立ち上がりタイミングに同期したデータとされる。

【0082】

また、上記デューティクロック信号DTYCK1及びデューティデータ信号DTYDT1は、図26に示されたデータ駆動部29へ供給される。このとき、データ駆動部29に含まれた各データドライバは、デューティクロック信号DTYCK1がハイレベルからロウレベルへ遷移する時刻T1～T5において、デューティデータ信号DTYDT1をそれぞれ取り込む。

【0083】

なお、上記においてはクロック信号INCLKが、図27に示された遅延回路101により所定時間遅延される場合について説明したが、遅延定数の異なる複数の

遅延素子により並列的にクロック信号INCLKを遅延させ、生成された位相の異なる複数のデューティクロック信号を任意の時間毎に交互にAND回路105へ供給するようにしてもよい。

【0084】

以上より、本発明の実施の形態3に係る液晶表示装置によれば、液晶表示装置の外部から供給されるクロック信号INCLKの立ち上がりエッジのみを遅延させたクロック信号を生成しデータドライバへ供給するため、クロック信号INCLK及びデータ信号と同期したデューティクロック信号DTYCK1によりデータドライバにデータを取り込ませることができると共に、発生する高調波を分散させてEMIのピークを下げることができる。

【実施の形態4】

中間調の表示において、図6に示されるように画像の全体が白くなりコントラストが低下してしまうといった問題は、MVA型液晶表示装置あるいは配向分割した液晶パネルに特有の問題であることが分かった。

【0085】

ここで、図32はMVA型液晶パネルの下視角方向（液晶分子は右上、右下、左上、左下の4方向に傾くように応答する）におけるT-V特性（透過率の印加電圧依存性）を示す。図32に示されるように、中間調に該当する部分17においてT-V特性がうねるが、これは液晶パネルを観察する人の方向に傾く液晶分子の実質的な複屈折率が小さくなることが原因である。

【0086】

一方、図33は、画像の全体が白くなる典型的な絵である図5に示された画像の階調と、表示面内のドット数との関係を示すヒストグラムである。図33に示されるように、黒に近い階調はそれほど多くはないが、中間の階調を示す部分19においてドット数が多いことが分かる。そして、このようにドット数の割合が大きい中間の階調が、図32の部分17にみられるようにうねるため、中間調同士のコントラストが大幅に低下し、その結果全体的に淡い表示となり画像としては白っ茶けて見えるものと考えられる。

【0087】

ところで、液晶パネルの屈折率異方性を Δn 、液晶セルの厚さ（セル厚）を d とすると、これらの積を245nmや287nmあるいは345nmと変化させた場合における、正面及び下視角から観察したときのT-V特性が図35から図37に示される。なお、上記屈折率異方性 Δn とは、液晶分子の長軸方向における屈折率成分を n_1 、液晶分子の長軸と垂直な方向における屈折率成分を n_2 としたとき、 $(n_1 - n_2)$ を意味する。

【0088】

すなわち、具体的には上記屈折率異方性が0.082のとき、セル厚を $3\mu\text{m}$ や $3.5\mu\text{m}$ あるいは $4.2\mu\text{m}$ と変化させた場合のT-V特性が、それぞれ図35から図37に示される。

【0089】

ここで、図35に示されるように、セル厚が $3\mu\text{m}$ の場合にはT-V特性はほとんど単調であるのに対して、セル厚が $4.2\mu\text{m}$ の場合には図37に示されるように、中間調においてT-V特性が視角60度及び80度において大きくうねっていることが分かる。なお、図36に示されるように、セル厚が $3.5\mu\text{m}$ の場合には図35に示されたセル厚が $3\mu\text{m}$ の場合と、図37に示されたセル厚が $4.2\mu\text{m}$ の場合の中間状態をとることが分かる。

【0090】

上記のことから、液晶パネルの屈折率異方性 Δn とセル厚 d の積が大きいほどT-V特性のうねりは大きく、上記のような画像が白っ茶ける現象が生じやすいことが分かる。

【0091】

従って、本発明の実施の形態4に係る液晶表示装置においては、液晶パネルにおける屈折率異方性 Δn とセル厚 d の積が大きいほど、T-V特性における γ 値を大きくする。なお、白色を100としたときの表示輝度を縦軸（ログスケール）とし、表示階調を横軸（ログスケール）とする図34に示された階調－輝度特性のグラフにおいて、階調の高い部分における該グラフの傾きが γ 値として定義される。そして、図34においては γ 値が2と3のグラフがそれぞれ示される。

【0092】

ここで、本発明の実施の形態 4 に係る液晶表示装置においては、 γ 値は以下の条件 (1) を満足するように設定される。

$$\gamma = \Delta n d \text{ (nm単位)} \times 0.008 \pm 30\%, \text{ かつ } \gamma > 1.9 \quad \cdots (1)$$

そして、さらに具体的には、液晶パネルの積 $\Delta n \cdot d$ を 280 nm に設定した時には γ を 2.0 から 2.3、液晶パネルの積 $\Delta n \cdot d$ を 345 nm に設定した時には γ を 2.15 から 3 とし、適宜 $\pm 30\%$ 程度調整した。

【0093】

以下において、本発明の実施の形態 4 に係る液晶表示装置の原理について説明する。 γ 値として大きな値を設定すると、大きな階調における表示輝度が最大輝度と比較して低い値となる。例えば、図 34 に示されるように、 γ 値が 2 のときには 100 番目の階調における表示輝度は最大白輝度の 15% 程度 ($100 \times (100/256)^2 \approx 15.2$) であるのに対し、 γ が 3 のときには 6% 程度 ($100 \times (100/256)^3 \approx 5.96$) になっている。このことは、 γ が大きくなるほど同じ階調を表示する場合の輝度は相対的に小さくなり、その結果として液晶パネルへの印加電圧が相対的に低い値になることを意味する。すなわち、 γ が大きい場合には、ある画像を表示するのに際して、相対的に低い電圧を印加することにより画像を表示することとなる。

【0094】

本実施の形態 4 に係る液晶表示装置においては、液晶パネルにおける積 $\Delta n \cdot d$ が相対的に大きな値となるときには、 γ 値が大きな値とされる。これは、上記のように積 $\Delta n \cdot d$ が大きな値である時には相対的に低い駆動電圧で画像を表現することに相当する。

【0095】

そして、上記のように γ 値を設定すると、図 32 に示された T-V 特性として、上下左右の視角における T-V 特性がうねる駆動電圧よりも低い駆動電圧にて中間調を表示することになる。この場合、表示に用いられる領域における上下左右視角方位での T-V 特性を見ると、いずれも電圧の変化に対応して輝度が変化するため、中間調における斜め視角でのコントラストの低下は抑えられる。従って、本実施の形態 4 に係る液晶表示装置では、白黒のコントラスト及び白色の輝

度は保たれる。

【0096】

またさらに、黒側の中間調に細かく階調を割り振ることにより黒潰れを回避すると共に、中間調としてT-V特性がうねり出す前の黒側の中間調のみを用いることによって白側の中間調のコントラストも保つことができる。なお、赤っぽい肌色はより赤っぽく、青っぽい色はより青く、緑っぽい木々の葉はより緑になるよう各色が強調される。

【0097】

ところで、本実施の形態4に係る液晶表示装置においては、 γ 値を変化させるが、実際の γ 値自体としてはCRTにあわせておよそ2程度とすることが重要である。ここで、明るい表示を実現するために γ 値を大きめに設定したMVA型のLCD（液晶表示装置）では、 γ 値を2に設定してしまうと、画像の上下左右視角における白っ茶けが生じて使いものにならないが、積 $\Delta n \cdot d$ の小さいMVA型LCDにおいては、 γ 値を2程度とすることにより正面の表示における自然な色合いを実現することができる。

【0098】

図38及び図39は、実際に γ 値を調整した時における階調-輝度特性のシミュレーション結果を示すグラフである。ここで、縦軸は白色の輝度を100に規格化したときにおける輝度を、横軸は最大階調を100に規格化したときの階調を、それぞれログスケールで示す。また、実線は下視角60度における階調-輝度特性を示し、破線は正面における該特性をそれぞれ示す。なお、該シミュレーションに際してはMVA型LCDの4分割パネルを用いるものと仮定した。

【0099】

図38は、 γ 値が2である場合の該特性を示すが、部分119における中間調においては、輝度の階調に対する変化は小さくなっていることが分かる。これは、ちょうどT-V特性のうねる部分を、中間調において主として用いているためである。これに対して、図39は γ 値を約3と大きめに補正した場合の該特性を示すが、部分121に示されるように、中間調においても輝度が階調に対して所定の傾きをもって増加する関係となることが分かる。そしてこれは、T-V特性

においてうねりを伴う部分が、より高階調側に設定されるからである。

【0100】

また、上記のように γ 値自体としては、2程度とすることが正面における表示の自然な色合いを実現するために重要である。このことから、積 $\Delta n \cdot d$ が345 nmである現状のMVA型LCDでは γ 値を2.2から3程度とし、積 $\Delta n \cdot d$ が280 nm等のLCDでは γ 値を2あるいは2.2程度に設定することが重要である。

【0101】

そして、実際の表示状態を比較しつつ検証した結果が、図40に示される。なお、縦軸は最適な γ 値を表し、横軸は液晶パネルにおける積 $\Delta n \cdot d$ (nm)を表す。ここで、図40に示されるように、上記条件(1)を満足する縦線部において良好な画像表示を実現でき、さらには図40に示された一点鎖線を構成する各点において最良の画像表示を実現することができた。

【0102】

なお、総じて γ 値を大きな値にすると、より鮮明な画像表示が得られるが、自然画にみられるような自然さが損なわれる傾向にあるため、用途や個人の好みに合わせて変更あるいは調整すると良い。

【0103】

そして、上記における γ 値の調整は、例えば図41に示されるように、5ボルトの電源ノードと接地ノードとの間に直列接続された複数の可変抵抗125において、それらの抵抗値を適宜変えることによりデータドライバへ供給する各階調電圧 $v_1 \sim v_4$ を調整することにより実現できる。

【0104】

以上より、本発明の実施の形態4に係る液晶表示装置によれば、MVA型LCDの表示・視角特性を改善することができる。特に、積 $\Delta n \cdot d$ が大きい場合においても良好な視角特性を実現することができ、その結果として、より表示輝度の高いMVA型液晶ディスプレイを実現することができる。

〔実施の形態5〕

本発明の実施の形態5に係る液晶表示装置は、上記実施の形態4において説明した問題、すなわち中間調の画像表示において全体が白くなりコントラストが低

下するという問題を解決するものである。

【0105】

図4 2は、従来のMVA型液晶表示装置における表示領域のレイアウトを示す平面図である。図4 2に示されるように、従来のMVA型液晶表示装置における表示領域は、図4 2に向かって下側に配設される画素電極基板上に形成された土手状の誘電体構造物1 2 7と、図4 2に向かって手前側に配設される共通電極基板上に形成された誘電体構造物2 0 3とが、同一平面上に正射影した場合における像（ライン）が交互かつ所定の間隔を有するように並設される。なお、上記ラインは図4 2に示されるように、表示領域の上半分において右上がりの平行線群をなし、下半分において右下がりの平行線群をなす。なお、もちろん上記表示領域の上半分と下半分の方位が逆となる場合であっても良い。

【0106】

そして、上記のような構造を有する表示領域においては、液晶分子は矢印で示された向きに配向する。

【0107】

ここで、本実施の形態5に係る液晶表示装置における表示領域においては、液晶分子が上視角で反転する領域の割合を減らす構造とされる。すなわち、液晶分子が図上において上方向に傾くように配向する領域が少なくされ、下方向に傾くように配向する領域が多い構造とされる。

【0108】

図4 8は従来のMVA型LCD、すなわち図上において液晶分子が右上又は左上に傾く領域（反転領域）と、右下又は左下に傾く領域（非反転領域）との面積比が1 : 1である液晶表示装置のT-V特性を示し、図4 9は上記比が1 : 1.5とされる液晶表示装置のT-V特性を示し、図5 0は上記比が1 : 4とされる液晶表示装置のT-V特性を示すシミュレーション結果である。

【0109】

ここで、上記のように図上において液晶分子が右下又は左下に傾く領域を増やす方法としては、図4 3に示されるように、表示領域の上半分においては液晶分子が右下に傾いている領域が広く、左上に傾いている領域が狭くなるように誘電

体構造物 1 2 7, 2 0 3 の間隔を一つおきに変えつつ並設する。また、表示領域の下半分においては液晶分子が左下に傾いている領域が広く、右上に傾いている領域が狭くなるように誘電体構造物 1 2 7, 2 0 3 の間隔を一つおきに変えつつ並設する。なお、図 4 2 に示された従来の表示領域においては、各誘電体構造物 1 2 7, 2 0 3 は上半分の領域と下半分の領域との間で連続的に形成されたが、図 4 3 に示されるように本実施の形態 5 に係る表示領域においては、両部分において非連続的に形成される。

【0 1 1 0】

なお、図 4 3 に示されるようなレイアウトによれば、下視角方向ではコントラストが低下する傾向がより強くなるが、机の上にモニタを置くことを想定した場合には、下視角方向から見ることはまずない。一方、立った状態で上視角方向からモニタを観察する場合は多く想定されるが、この場合にはコントラストの低下が生じない画像表示が実現されることになる。

【0 1 1 1】

そして、図 4 8 に示されるように、従来の MVA 型 LCD においては、視角を大きくするにつれて T-V 特性が波打つことが分かる。なお、上記のようにこの T-V 特性の波打ちが、表示される画像のコントラストを低下させる原因となる。これより、上記のような T-V 特性の波打ちの原因である右上あるいは左上に傾く液晶分子の割合を減らした場合には、図 4 9（図面上において液晶分子が上方向に傾く領域と、下方向に傾く領域との比が 2 : 3 である場合）及び図 5 0（図面上において液晶分子が上方向に傾く領域と、下方向に傾く領域との比が 1 : 4 である場合）に示されるように、該波打ちの程度が小さくなっている。これは、右下あるいは左下に傾く液晶分子の特性が優先的に表れるためである。

【0 1 1 2】

以下において、MVA 型液晶表示装置に本発明を適用した場合について説明する。図 4 4 は、従来の MVA 型液晶表示装置における表示領域のレイアウトを示す平面図である。図 4 4 に示されるように、従来の MVA 型液晶表示装置を構成する TFT 基板には、ITO 画素電極 2 0 1 と、ITO 画素電極 2 0 1 ヘデータ信号を伝送するデータ電極 DE、TFT のゲートを構成するゲート電極 GE、補

助容量を形成するための補助容量電極GL、及びスリット部分205が形成される。

【0113】

一方、上記TFT基板に対向する対向基板（共通電極基板、あるいはCF基板ともいう）には、土手状の誘電体構造物203が形成される。なお、この誘電体構造物203の代わりにスリットが形成されても同様な効果を奏する。

【0114】

これに対し、本実施の形態5に係る液晶表示装置の表示領域では、図45に示されるように、TFT基板上のITO画素電極202にスリット206が形成され、この部分に生成される斜め電界により液晶分子の傾き方向が規定される。ここで、図47に示されるように、TFT基板と対向基板との双方にそれぞれ土手状の誘電体構造物209、203を設け、ITO画素電極202からの電界を傾けることにより液晶分子の傾き方向を規定するようにしてもよい。以下において、より具体的に説明する。

【0115】

図47に示される表示領域のレイアウトは比較的単純なものであるが、上記誘電体構造物209、203をそれぞれTFT基板や対向基板に設けるにあたり、該誘電体構造物209、203同士の間隔が一本おきに広くされる。また、下視方向に傾く液晶分子の割合を増やすため、TFT基板に形成された誘電体構造物209と対向基板に形成された誘電体構造物203とが、図面上の上半分と下半分とで合わせて「く」の字をなすよう設けられる。すなわち、図44に示される従来の液晶表示装置では、対向基板に形成された誘電体構造物203が図面上の上半分と下半分とで「く」の字をなすように連続的に設けられたが、図47に示される本実施の形態5に係る表示領域においては、上記「く」の字をなす誘電体構造物の形成対象とされる基板が、該表示領域の上半分と下半分とで入れ替えられる。

【0116】

そして、このようなレイアウトとすることにより、上視角のみにおいて視野角の良好な範囲を増やすことができる。すなわち、図47に示された領域Bと領域

Cとにおいて液晶分子は下方向に傾くことになるが、これらの領域が広いため、上視角方向での視角特性が改善されることになる。

【0117】

一方、図45に示されたレイアウトは、基本的には上記の図47に示されたレイアウトと同様なものであるが、TFT基板上に形成される誘電体構造物209の代わりにITO画素電極202にスリット206が形成される。なお、図47に示されたレイアウトにおいては、誘電体構造物209を任意の位置に形成することができるのに対して、図45に示されたレイアウトにおいては電極が敷設される端まではスリットを延伸させることができないという制約がある。またこのとき、該スリット206は図45の部分207に示されるように、画素内でスリット同士をつなげ、かつ途中でスリットを一部閉じるようにしてもよい。

【0118】

また、図46に示されたレイアウトは、スリット205のレイアウトを優先させたものであるが、図に示された表示領域の上半分及び下半分にそれぞれ形成された誘電体構造物203とスリット205が共に接続され、一体的に形成されるものである。このレイアウトによれば、隣接する画素間の連続性が保たれると共に、液晶分子の配向を上下方向に均等に割り振ることができる。そして、これにより左右の視角特性を対称にすることができる。

【0119】

以上より、本発明の実施の形態5に係る液晶表示装置によれば、MVA型液晶表示装置の視角特性を大幅に改善することができる。そして特に、モニタとして重要となる上視角方位等、特定の方位における視角特性を改善することができる。

【実施の形態6】

上記のMVA型液晶表示装置においては、中間調の画像表示における応答速度が遅いことが問題になっている。例えば、薄暗がり等の背景の下、人が動くような画像では、髪の毛が尾を引くといった問題が生じていた。これは、図51(b)に示されるように、MVA型液晶パネルの誘電体構造物13とスリット205との間における液晶分子15が全て動いてしまうためである。なお、図51(a

）は、図 5 1（b）に示された構造を有する液晶パネルの各場所毎における光の透過率を表すグラフである。

【0 1 2 0】

ここで、該液晶分子 1 5 が全て動くのは、MVA 型液晶表示装置ではスリット 2 0 5 あるいは土手付近の液晶分子 1 5 が最初に動くものの、全体のしきい値電圧が同じためである。そして、このことは電界が液晶パネルの全体に均一に印加されていることに起因する。

【0 1 2 1】

また上記のように、中間調の画像表示においては、表示される画像が白っ茶けるという問題があるが、図 5 8 に示されるように、中間調における上下左右視角方位において T-V 特性がうねることが原因である。

【0 1 2 2】

従って、本発明の実施の形態 6 に係る液晶表示装置は、液晶分子 1 5 に印加させる電界を一部に集中させることにより、液晶分子 1 5 を低電圧で駆動させ、かつ一部の液晶分子 1 5 のみを応答させるものとされる。以下において、具体的に説明する。

【0 1 2 3】

図 5 2 は、本発明の実施の形態 6 に係る液晶表示装置における第一の構造例を説明する図である。なお、図 5 2（a）は図 5 2（b）に示された構造を有する液晶パネルの各場所毎における光の透過率を表すグラフである。

【0 1 2 4】

図 5 2 に示されるように、ガラス基板 3 0 6 の上には電極 2 1 1 及び SiN 層 3 0 8 が形成され、さらにその上にスリット 2 0 5 を設けた ITO 画素電極 2 0 4 が形成される。一方、対向するガラス基板 3 0 7 には一面に ITO 画素電極 2 0 1 が形成され、その上に樹脂層 3 0 2 が形成される。ここで、樹脂層 3 0 2 には、ITO 画素電極 2 0 4 に形成されたスリット 2 0 5 のほぼ直上において、スリット 2 0 5 より少し幅の狭いスリット 2 0 8 が形成される。なお、例えばスリット 2 0 5、2 0 8 の幅は $3\mu\text{m}$ から $20\mu\text{m}$ とすることができる。また、ガラス基板 3 0 7 にはカラーフィルタが形成されるが、図 5 2 においては省略されてい

る。

【 0 1 2 5 】

そして、上記樹脂層 3 0 2 には土手状の誘電体構造物 2 0 3 が形成される。ここで、上記スリット 2 0 5, 2 0 8 及び誘電体構造物 2 0 3 とゲート電極 G E、データ電極 D E、そして補助容量形成用の電極 3 0 5 は、図 5 3 に示されるレイアウトにより配設される。すなわち、上記スリット 2 0 5, 2 0 8 及び誘電体構造物 2 0 3 は、表示領域をなす各画素において「く」の字に折れ曲がるようにレイアウトされ、液晶分子 1 5 を 4 方向に配向させる構造とされる。

【 0 1 2 6 】

なお、図 5 3 に示されるように、スリット 2 0 5 は画素領域における I T O 画素電極 2 0 1 の端で止まるように設けられるが、スリット 2 0 8 は画素をまたいで形成することができる。

【 0 1 2 7 】

上記のような構造によれば、樹脂層 3 0 2 に形成されたスリット 2 0 8 と、I T O 画素電極 2 0 4 に形成されたスリット 2 0 5 とが対向しているため、この間に特に斜め方向の電界が集中することになる。すなわち、仮に上記スリット 2 0 5 のみが形成され、樹脂層 3 0 2 にはスリット 2 0 8 が形成されない場合にも、液晶分子 1 5 に印加される電界は斜めになるが、該スリット 2 0 8 を設けることにより、該電界が斜めに生成される傾向が強くなる。

【 0 1 2 8 】

そして、上記のように生成された斜め電界の影響により、図 5 2 (a) の部分 3 0 1 に示されるように、スリット 2 0 5, 2 0 8 付近の液晶分子 1 5 のみが印加された電圧に対して優先的に応答して透過率を高めることになる。このとき、他の液晶分子 1 5 も応答しようとするが、樹脂層 3 0 2 の影響によりしきい値電圧が高くなる。従って、印加する電圧が低い場合には、スリット 2 0 5, 2 0 8 付近の液晶分子 1 5 のみが応答し、しかもその応答は周辺の液晶分子 1 5 に波及しないため、中間調における液晶分子 1 5 の応答速度を高速化することができる。

【 0 1 2 9 】

なお、誘電体構造物203は液晶分子15の傾く方向を規定するために設けられたものであって、スリット205、208と協働して、領域LRに存在する液晶分子15は図上左向きに、領域RRに存在する液晶分子15は図上右向きにそれぞれ配向させるものである。

【0130】

また、上記ガラス基板306としては、ITO画素電極204を生成する際においてプロセスを追加することなくスリット205を設けることができるため、TFTが形成されるTFT基板とすることができる。なお、図52に示されたガラス基板306を対向基板とすることもできる。

【0131】

また、上記樹脂層302及び誘電体構造物203の材料はポジ型のレジストとされ、樹脂層302の厚さは $0.1\mu\text{m}$ から $2\mu\text{m}$ 、誘電体構造物203の高さは $0.5\mu\text{m}$ から $4\mu\text{m}$ とされる。一方、上記電極211は、スリット205の下部に補助容量電極を延伸させることにより形成することができ、該電極211の幅はスリット205の幅とほぼ同じ長さとなる。

【0132】

図54は、本発明の実施の形態6に係る液晶表示装置における第二の構造例を説明する図である。図54に示されるように、第二の例は上記第一の例と同様なものであるが、ガラス基板307またはガラス基板307に形成されたカラーフィルタ上に土手状の誘電体構造物403が設けられ、ITO画素電極402が誘電体構造物403を覆うように形成される点で相違するものである。ここで、誘電体構造物403はスリット205に対向するように具設され、ITO画素電極402の上であって、かつ隣接する誘電体構造物403の中間点には土手状の誘電体構造物410が形成される。なお、図55には図54(b)に示された液晶パネルのレイアウトを示す平面図が示される。

【0133】

このような構造によれば、誘電体構造物403を覆うITO画素電極402と、スリット205近傍のITO画素電極204との間に大きな斜め電界をかけることができるため、図54(a)の部分414に示されるように、この領域にお

ける液晶分子15のみを低電圧の印加により優先的に応答させて透過率を高めることができる。なお、電極211は上記の斜め電界を集中させる働きを有するもので、ITO画素電極402と同電位にすることが有効である。

【0134】

また、上記第一の構造例と同様に、ガラス基板306はTFT基板とすることができる。そして、誘電体構造物403の高さは $1.5\mu\text{m}$ から $4\mu\text{m}$ 、望ましくは $3\mu\text{m}$ 程度とし、幅は $3\mu\text{m}$ から $15\mu\text{m}$ 、望ましくは $10\mu\text{m}$ 程度とされる。

【0135】

一方、誘電体構造物410の高さは $0.3\mu\text{m}$ から $2\mu\text{m}$ 、幅は $3\mu\text{m}$ から $15\mu\text{m}$ 程度とされる。また、誘電体構造物403と誘電体構造物410の間の距離は、 $10\mu\text{m}$ から $40\mu\text{m}$ 程度とされる。

【0136】

図56は、本発明の実施の形態6に係る液晶表示装置における第三の構造例を説明する図である。図56の右半分に示されるように、本実施の形態6に係る液晶表示装置は、図54に示された第二の構造例に対して、SiN層308の上に誘電体構造物617をさらに設け、その上にITO画素電極606を形成した液晶パネルを備えたものとすることができる。なお、このような構造は、スリット205の代わりに誘電体構造物610を設けたものとみなせば、ガラス基板306、307にそれぞれ形成されたスリット205と誘電体構造物403との配置を上下逆にしたものに相当する。

【0137】

そして、上記のような構造によれば、三つの誘電体構造物403、610、617とスリット205とにより生成される電界の作用により、応答速度が速く良好な液晶分子15の配向を実現することができる。

【0138】

また、図56の左半分に示されるように、本実施の形態6に係る液晶表示装置は、図56の右半分に示された構造例に対して、ITO画素電極402の上に薄い樹脂層615をさらに設け、その上に誘電体構造物616を形成した液晶パネルを備えたものとすることができる。そして、このような構造によれば、樹脂層

615は図52に示された樹脂層302と同様な効果を奏するため、表示領域内の液晶分子15におけるしきい値電圧の差をより大きくして、誘電体構造物403近傍における液晶分子の応答速度をより高めることができる。なお、図56(a)に示されるように、図56(b)に示された構造においても、低電圧の印加に際して誘電体構造物403近傍の液晶分子15が優先的に応答する。

【0139】

また、上記の図54(b)に示された構造における誘電体構造物403を、図57に示されるように、カラーフィルタ(G, B)を重ねた誘電体構造物703とすれば、製造工程を増やすことなく本実施の形態6に係る液晶表示装置を形成することができる。

【0140】

一方、上記のように画像が白っ茶ける現象に対しては、画面の一部において液晶分子のしきい値特性を異ならせると共に、異なる該特性を重ね合わせることにによって視角特性を改良することが有効であるが、以下において具体的に説明する。

【0141】

図59は、本発明の実施の形態6に係る液晶表示装置における第五の構造例を説明する図である。図59に示されるように、第五の構造例ではカラーフィルタ基板あるいは対向基板に形成されたITO画素電極201の上に樹脂からなる誘電体層801を形成し、その上に誘電体構造物803が設けられる。ここで、誘電体層801はその厚さが $0.1\mu\text{m}$ から $3\mu\text{m}$ 程度とされ、レジスト材料等により形成される。

【0142】

そして、このような構造を形成するプロセスにおいては、誘電体構造物803を形成する部分に全く紫外線を照射せず、誘電体層801を形成する部分には多少紫外線を照射し、誘電体層801を形成しない部分には十分に紫外線を照射する。なお、上記紫外線は、複数のマスクを用いて数回に分けて照射することができる。

【0143】

ここで、マスクに細かいパターンを設け、実質的に中間的な量の紫外線が照射されるようにすれば、一回の紫外線の照射によって背の高い誘電体構造物 8 0 3 とその周りの誘電体層 8 0 1 とを同時に形成することができる。さらに、誘電体層 8 0 1 の画素部分に占める割合は 1 割以上 9 割以下とされるが、しきい値電圧が 1.2 倍以上、特に 1.5 倍となる領域を画素領域全体の半分以下（ 3 ± 2 割）、特に 3 割だけ設けるとときに、最良な画像表示を実現することができる。

【 0 1 4 4 】

図 6 3 は、図 5 9 に示された第五の構造例を示す平面図である。図 6 3 に示されるように、視角の対称性を維持するために誘電体構造物 8 0 3 は画素の中央を中心に上下対称にレイアウトされるが、この上下の部分において誘電体層 8 0 1 の厚さや幅は同一とされる。また、誘電体構造物 8 0 3 の高さは $0.5 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下とされ、誘電体層 8 0 1 の高さは $0.1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下とされる。

【 0 1 4 5 】

以上のような構成においては、誘電体層 8 0 1 直下の液晶には電圧が印加されにくくしきい値電圧が大きくなるため、図 5 9 (a) に示されるようにこの部分の透過率は小さくなる。

【 0 1 4 6 】

ここで、しきい値電圧が高い部分の T-V 特性と、その他の部分の T-V 特性とが図 6 0 に示される。なお、図 6 0 に示されたグラフ G 1 a ~ G 3 a は、上視角 8 0 度における MVA 型液晶表示装置の視角特性を示し、グラフ G 1 a は上記その他の部分の T-V 特性、グラフ G 2 a はしきい値の高い領域の T-V 特性、グラフ G 3 a はしきい値の高い領域を画素領域の 3 割設けた場合の T-V 特性をそれぞれ示す。図 6 0 のグラフ G 2 a, G 1 a に示されるように、斜め方向から見た場合、しきい値電圧の高い領域は他の部分と同様に T-V 特性がうねることが分かる。ここで、しきい値電圧の高い領域を 3 割設けることとすれば、グラフ G 3 a に示されるように該うねりが小さくなり、単調増加する T-V 特性を得ることができる。なお、図 6 0 に示されたグラフ G 3 a は、上記他の部分における T-V 特性において透過光量が低下する電圧 2 V 付近で、しきい値電圧の高い部分における T-V 特性が上昇するようにされた場合のものである。

【 0 1 4 7 】

また、図 6 0 と同様に、図 6 1 は M V A 型液晶表示装置の視角改善正面特性を示し、グラフ G 1 b は上記その他の部分の T - V 特性、グラフ G 2 b はしきい値の高い領域の T - V 特性、グラフ G 3 b はしきい値の高い領域を画素領域の 3 割設けた場合の T - V 特性をそれぞれ示す。図 6 1 により、しきい値の高い領域を画素領域の 3 割設けた場合の視角改善正面特性は、その他の部分の T - V 特性に近似したものとなることが分かる。

【 0 1 4 8 】

また、図 6 2 は右上視角 8 0 度における M V A 型液晶表示装置の視角特性を示し、グラフ G 1 c は上記その他の部分の T - V 特性、グラフ G 2 c はしきい値の高い領域の T - V 特性、グラフ G 3 c はしきい値の高い領域を画素領域の 3 割設けた場合の T - V 特性をそれぞれ示す。図 6 2 により、しきい値の高い領域を画素領域の 3 割設けた場合の視角特性は、その他の部分の T - V 特性に近似したものとなることが分かる。

【 0 1 4 9 】

また、図 6 4 に示されるように、本実施の形態 6 に係る液晶表示装置では、誘電体層 9 0 1 を対向基板側ではなく、T F T 基板（ガラス基板 3 0 6）に形成された I T O 画素電極 2 0 4 の上に設けてもよい。ここで、誘電体層 9 0 1 はレジストあるいは SiN により形成される。なお、レジストの誘電率は 3 程度であるのに対して SiN の誘電率は 7 程度であるため、SiN により誘電体層 9 0 1 を形成する場合には、その厚みは $0.1\mu\text{m}$ から $5\mu\text{m}$ の範囲とされる。

【 0 1 5 0 】

また、上記の説明において、I T O 画素電極の上に土手状の誘電体構造物を設けた構造に対し、該 I T O 画素電極にスリットを設けた構造によっても同様な効果を奏することができる。

【 0 1 5 1 】

以上より、本発明の実施の形態 6 に係る液晶表示装置によれば、液晶分子 1 5 の応答速度、特に中間調における応答速度を大幅に高め、視角特性を改善することができる。

(付記1) 画像を表示する液晶表示手段へ画像データを供給する複数のデータ駆動手段を含む液晶表示装置であって、少なくとも二つの前記データ駆動手段へ供給される前記画像データが同一である場合には、前記少なくとも二つのデータ駆動手段に対し同時に前記画像データを取り込ませる制御手段を備えたことを特徴とする液晶表示装置。

(付記2) 前記複数のデータ駆動手段が形成された基板上に設けられ、前記制御手段から供給された信号に応じて前記画像データを取り込むタイミングを決定する信号を生成し、前記データ駆動手段へ選択的に供給する取り込みタイミング信号生成手段をさらに備えた付記1に記載の液晶表示装置。

(付記3) 各々の前記データ駆動手段に内蔵され、前記制御手段から供給された信号に応じて前記画像データを取り込むタイミングを決定する取り込みタイミング決定手段をさらに備えた付記1に記載の液晶表示装置。

(付記4) 前記制御手段は、前記少なくとも二つのデータ駆動手段において前記画像データを取り込む必要がない期間には、前記画像データの取り込みタイミングを決定するクロック信号の前記データ駆動手段への供給を停止するクロック信号供給手段を含む付記1に記載の液晶表示装置。

(付記5) 前記制御手段は、前記画像データの取り込みタイミングを決定する外部クロック信号の周波数を低減する分周手段を含み、前記分周手段により生成された分周クロック信号に応じて、前記少なくとも二つのデータ駆動手段へ同一の前記画像データを転送する付記1に記載の液晶表示装置。

(付記6) 供給されたクロック信号に応じて画像データを取り込むと共に、画像を表示する液晶表示手段へ前記画像データを供給するデータ駆動手段を含む液晶表示装置であって、前記データ駆動手段が前記画像データを取り込むタイミングを、前記クロック信号が第一の論理レベルから第二の論理レベルへ遷移する第一のタイミングか、または前記クロック信号が異なる論理レベルへ遷移する第二のタイミングのいずれかに任意に切り替え設定する制御手段を備えたことを特徴とする液晶表示装置。

(付記7) 供給されたクロック信号に応じて画像データを取り込むと共に、画像を表示する液晶表示手段へ前記画像データを供給するデータ駆動手段を含む液晶

表示装置であって、デューティ比が変化する前記クロック信号を生成して前記データ駆動手段へ供給する制御手段を備えたことを特徴とする液晶表示装置。

(付記 8) 前記制御手段は、デューティ比が変化すると共に、前記画像データに同期する前記クロック信号を生成して前記データ駆動手段へ供給する付記 7 に記載の液晶表示装置。

(付記 9) 液晶セルを含む液晶パネルに画像を表示する液晶表示装置の製造方法であって、前記液晶セルの厚さ、あるいは、前記液晶セルに含まれる液晶層の複屈折の大きさに応じて、階調－輝度特性の指標となる γ 値を決定するステップを有する液晶表示装置の製造方法。

(付記 10) 液晶セルを含む液晶パネルに画像を表示する液晶表示装置であって、前記液晶パネルにおける階調－輝度特性の指標となる γ 値が、前記液晶セルの屈折率異方性を Δn 、前記液晶セルの厚さを d としたとき、積 $\Delta n \cdot d$ の 0.008 倍 $\pm 30\%$ の範囲内で、かつ 1.9 以上の範囲内の値に設定されることを特徴とする液晶表示装置。

(付記 11) 前記積 $\Delta n \cdot d$ が $350 \text{ nm} \pm 50 \text{ nm}$ の範囲内の値であって、前記 γ 値が 2.15 以上 3 以下に設定された付記 10 に記載の液晶表示装置。

(付記 12) 前記積 $\Delta n \cdot d$ が $280 \text{ nm} \pm 50 \text{ nm}$ の範囲内の値であって、前記 γ 値が 2.0 以上 2.3 以下に設定された付記 10 に記載の液晶表示装置。

(付記 13) 複数の液晶分子の配向を制御することにより画像を表示する液晶表示装置であって、電圧が印加されたとき前記液晶分子が第一の向きに配向する第一の配向領域と、前記電圧が印加されたとき前記液晶分子が前記第一の向きと反対の第二の向きに配向すると共に、前記第一の配向領域と異なる広さを有する第二の配向領域とを備えたことを特徴とする液晶表示装置。

(付記 14) スリットまたは土手状の誘電体構造物が形成され、前記第一の配向領域及び前記第二の配向領域に前記電圧を印加する電極をさらに備えた付記 13 に記載の液晶表示装置。

(付記 15) 各々にスリットまたは土手状の誘電体構造物が形成され、前記第一の配向領域及び前記第二の配向領域を含む液晶層が挟装される一对の基板をさらに備え、一方の前記基板に形成された第一の前記スリットまたは土手状の誘電体

構造物と、他方の前記基板に形成された第二の前記スリットまたは土手状の誘電体構造物との間隙が、交互に第一の長さ及び第二の長さとする付記 1 3 に記載の液晶表示装置。

(付記 1 6) 前記第一のスリットまたは土手状の誘電体構造物と、前記第二のスリットまたは土手状の誘電体構造物とは、前記画像を表示する各画素毎に、それぞれ同一平面上への正射影が一端で接続され所定の角度をなす二つの線分となるように形成される付記 1 5 に記載の液晶表示装置。

(付記 1 7) 前記第一あるいは第二のスリットまたは土手状の誘電体構造物は、少なくとも前記一方または前記他方の基板上のいずれかにおいて、前記画像を表示する各画素毎に、一端で接続され所定の角度をなす二つの線分からなるパターンを形成する付記 1 5 に記載の液晶表示装置。

(付記 1 8) 画素電極基板と対向基板との間に挟装された液晶層に含まれる液晶分子を配向させることにより、画像を表示する液晶表示装置であって、前記対向基板の全面に形成された第一の電極と、前記第一の電極上に形成され、第一のスリット部を有する樹脂層と、前記第一の電極と対向するよう画素電極基板上に形成され、前記第一のスリット部と対向する第二のスリット部を有する第二の電極とを備えたことを特徴とする液晶表示装置。

(付記 1 9) 前記第一のスリット部の幅が、前記第二のスリット部の幅より狭い付記 1 8 に記載の液晶表示装置。

(付記 2 0) 前記樹脂層の上に形成された土手状の誘電体構造物をさらに備えた付記 1 8 に記載の液晶表示装置。

(付記 2 1) 画素電極基板と対向基板との間に挟装された液晶層に含まれる液晶分子を配向させることにより、画像を表示する液晶表示装置であって、前記対向基板に設けられた土手状の第一の誘電体構造物と、前記対向基板及び前記誘電体構造物を覆うように形成された第一の電極と、前記画素電極基板上に形成され、前記誘電体構造物と対向するスリット部を有する第二の電極とを備えたことを特徴とする液晶表示装置。

(付記 2 2) 前記第一の電極上で、かつ前記第一の誘電体構造物の間に設けられた第二の誘電体構造物をさらに備えた付記 2 1 に記載の液晶表示装置。

(付記 2 3) 前記画素電極基板上で、かつ前記第二の誘電体構造物に対向する位置に設けられた第三の誘電体構造物をさらに備え、前記第二の電極は前記第三の誘電体構造物を覆うように形成された付記 2 2 に記載の液晶表示装置。

(付記 2 4) 前記第二の誘電体構造物と前記第一の電極の間に形成された誘電体層をさらに備えた付記 2 3 に記載の液晶表示装置。

(付記 2 5) 前記第一の誘電体構造物は、積層された複数のカラーフィルタ層からなる付記 2 1 に記載の液晶表示装置。

(付記 2 6) 画素電極基板と対向基板との間に挟装された液晶層に含まれる液晶分子を配向させることにより、画像を表示する液晶表示装置であって、前記対向基板の全面に形成された第一の電極と、前記対向基板に形成された第一の誘電体構造物、又は前記第一の電極に形成されたスリット部と、前記画素電極基板上で、前記第一の電極に対向するよう設けられた第二の電極と、前記第一の誘電体構造物の近傍における前記第一の電極、または前記スリット部の近傍における前記第二の電極を覆う誘電体層とを備えたことを特徴とする液晶表示装置。

(付記 2 7) 画素電極基板と対向基板との間に挟装された液晶層に含まれる液晶分子を配向させることにより、画像を表示する液晶表示装置であって、前記対向基板の全面に形成された第一の電極と、前記第一の電極上に形成された誘電体構造物と、前記画素電極基板上で、前記第一の電極及び前記誘電体構造物に対向するよう設けられた第二の電極と、前記第二の電極上であって、前記誘電体構造物に対向するよう形成された誘電体層とを備えたことを特徴とする液晶表示装置。

(付記 2 8) 前記誘電体層に対向する前記液晶分子を駆動する際における第一のしきい値電圧が、前記誘電体層に対向していない前記液晶分子を駆動する際における第二のしきい値電圧の 1. 2 倍以上であり、前記液晶分子を駆動する際におけるしきい値電圧が前記第一のしきい値電圧である第一の領域は、前記第二のしきい値電圧である第二の領域の半分以下である付記 2 6 または 2 7 に記載の液晶表示装置。

【発明の効果】

上述の如く、本発明に係る液晶表示装置によれば、該画像データを転送するためのクロック信号を一時的に停止し、あるいは該クロック信号の周波数を低減す

ることができるため、EMI レベル及び消費電力を低減することができる。

【0152】

また、クロック信号から発生するEMI ノイズのピーク周波数、あるいは液晶表示手段に画像を表示する際に発生する高調波を分散させることにより、EMI レベルを低減することができる。

【0153】

また、本発明に係る液晶表示装置によれば、液晶分子を選択的に駆動することにより、視角特性を改善することができると共に、所望の視角特性を容易に実現することができる。

【0154】

また、本発明に係る液晶表示装置の製造方法によれば、液晶パネルの表示・視角特性を容易に改善することができる。

【図面の簡単な説明】

【図1】

従来の液晶表示装置におけるデータ駆動部の構成を示すブロック図である。

【図2】

図1に示されたデータドライバの構成を示すブロック図である。

【図3】

従来のMVA型液晶表示装置の基本構成を示す斜視図である。

【図4】

図3に示された液晶表示装置における白黒コントラストの視覚特性を示すグラフである。

【図5】

図3に示された液晶表示装置により表示された正面表示画像の一例を示す図である。

【図6】

図3に示された液晶表示装置の問題点を説明する図である。

【図7】

本発明の実施の形態1に係る液晶表示装置の構成を示すブロック図である。

【図 8】

図 7 に示された制御部の第一の構成を示すブロック図である。

【図 9】

図 8 に示された制御部の第一の動作を示すタイミングチャートである。

【図 10】

図 8 に示された制御部の第二の動作を示すタイミングチャートである。

【図 11】

図 7 に示された制御部の第二の構成を示すブロック図である。

【図 12】

図 11 に示された制御部の動作を示すタイミングチャートである。

【図 13】

図 7 に示されたデータ駆動部の構成を示すブロック図である。

【図 14】

図 7 に示されたデータ駆動部の他の構成を示すブロック図である。

【図 15】

図 14 に示されたデコーダを説明する図である。

【図 16】

本発明の実施の形態 1 に係るデータドライバの構成を示すブロック図である。

【図 17】

図 16 に示されたデータドライバにより構成されるデータ駆動部の構成を示すブロック図である。

【図 18】

従来から用いられているシングルエッジクロック信号によるデータ取り込みタイミングを示すタイミングチャートである。

【図 19】

従来から用いられているダブルエッジクロック信号によるデータ取り込みタイミングを示すタイミングチャートである。

【図 20】

図 19 に示されたダブルエッジクロック信号を生成する回路を示す回路図であ

る。

【図 2 1】

図 2 0 に示された回路の動作を示すタイミングチャートである。

【図 2 2】

本発明の実施の形態 2 に係る制御部に含まれた選択回路を示す図である。

【図 2 3】

図 2 2 に示された選択回路の動作を示すタイミングチャートである。

【図 2 4】

本発明の実施の形態 2 に係るドライバの構成を示す図である。

【図 2 5】

図 2 4 に示されたドライバの動作を示すタイミングチャートである。

【図 2 6】

本発明の実施の形態 3 に係る液晶表示装置の構成を示す図である。

【図 2 7】

図 2 6 に示された制御部に含まれる回路の構成を示す図である。

【図 2 8】

図 2 7 に示された遅延回路の第一の構成例を示す図である。

【図 2 9】

図 2 7 に示された遅延回路の第二の構成を示す図である。

【図 3 0】

図 2 7 に示された遅延回路の第三の構成を示す図である。

【図 3 1】

図 2 7 に示された回路の動作を示すタイミングチャートである。

【図 3 2】

従来の MVA 型液晶表示装置の T-V 特性を示すグラフである。

【図 3 3】

従来の MVA 型液晶表示装置に表示される画像のうち、視野角特性の問題が顕著となる画像の階調・輝度ヒストグラムを示すグラフである。

【図 3 4】

階調輝度特性 γ の定義を説明するグラフである。

【図 3 5】

従来の MVA 型液晶表示装置における T-V 特性の積 $\Delta n \cdot d$ に対する依存性を示す第一のグラフである。

【図 3 6】

従来の MVA 型液晶表示装置における T-V 特性の積 $\Delta n \cdot d$ に対する依存性を示す第二のグラフである。

【図 3 7】

従来の MVA 型液晶表示装置における T-V 特性の積 $\Delta n \cdot d$ に対する依存性を示す第三のグラフである。

【図 3 8】

本発明の実施の形態 4 に係る液晶表示装置における階調－輝度特性を説明する第一のグラフである。

【図 3 9】

本発明の実施の形態 4 に係る液晶表示装置における階調－輝度特性を説明する第二のグラフである。

【図 4 0】

本発明の実施の形態 4 に係る液晶表示装置における階調－輝度特性を説明する第三のグラフである。

【図 4 1】

本発明の実施の形態 4 に係る液晶表示装置において階調－輝度特性 γ を調整する方法を説明する図である。

【図 4 2】

従来の MVA 型液晶表示装置における表示領域のレイアウトを示す平面図である。

【図 4 3】

本発明の実施の形態 5 に係る液晶表示装置における表示領域のレイアウトを示す平面図である。

【図 4 4】

従来のMAV型液晶表示装置における表示領域のレイアウトを示す平面図である。

【図 4 5】

本発明の実施の形態 5 に係る液晶表示装置における表示領域のレイアウトの例を示す平面図である。

【図 4 6】

本発明の実施の形態 5 に係る液晶表示装置における表示領域のレイアウトについて他の例を示す平面図である。

【図 4 7】

本発明の実施の形態 5 に係る液晶表示装置における表示領域のレイアウトについてさらに他の例を示す平面図である。

【図 4 8】

図 4 2 及び図 4 4 に示された従来の液晶表示装置における T-V 特性を示すグラフである。

【図 4 9】

本発明の実施の形態 5 に係る液晶表示装置の T-V 特性を示す第一のグラフである。

【図 5 0】

本発明の実施の形態 5 に係る液晶表示装置の T-V 特性を示す第二のグラフである。

【図 5 1】

従来のMVA型液晶表示装置の問題点を説明する図である。

【図 5 2】

本発明の実施の形態 6 に係る液晶表示装置における第一の構造例を説明する図である。

【図 5 3】

図 5 2 に示された液晶表示装置のレイアウトを示す平面図である。

【図 5 4】

本発明の実施の形態 6 に係る液晶表示装置における第二の構造例を説明する図

である。

【図 5 5】

図 5 4 に示された液晶表示装置のレイアウトを示す平面図である。

【図 5 6】

本発明の実施の形態 6 に係る液晶表示装置における第三の構造例を説明する図である。

【図 5 7】

本発明の実施の形態 6 に係る液晶表示装置における第四の構造例を示す断面図である。

【図 5 8】

従来の M V A 型液晶表示装置における上視角での T - V 特性を示すグラフである。

【図 5 9】

本発明の実施の形態 6 に係る液晶表示装置における第五の構造例を説明する図である。

【図 6 0】

図 5 9 に示された液晶表示装置における上視角での T - V 特性を示すグラフである。

【図 6 1】

図 5 9 に示された液晶表示装置における正面視角での T - V 特性を示すグラフである。

【図 6 2】

図 5 9 に示された液晶表示装置における右上視角での T - V 特性を示すグラフである。

【図 6 3】

図 5 9 に示された第五の構造例を示す平面図である。

【図 6 4】

本発明の実施の形態 6 に係る液晶表示装置における第六の構造例を説明する図である。

【符号の説明】

- 1 出力アンプ
- 3 D/Aコンバータ
- 5 ラッチ回路
- 7 シフトレジスタ
- 9 クロックコントローラ
- 11 透明電極
- 13, 127, 203, 209, 403, 410, 610, 616, 617, 703, 803 誘電体構造物（土手）
- 15 液晶分子
- 17, 19, 119, 121, 207, 301, 414, 614 部分
- 20 液晶表示装置
- 21, 100 制御部
- 23 基準電圧（階調電源）作成部
- 25 電源電圧作成部
- 27 ゲート駆動部
- 29 データ駆動部
- 30 液晶パネル
- 31, 32 シフトレジスタ
- 33, 34, 105～107 AND回路
- 35 排他的論理和回路（XOR）
- 37, 81, 103, 111 遅延フリップフロップ（D-FF）
- 39 マスク信号作成回路
- 41 1ドライバカウンタ
- 43 スタートパルス作成回路
- 45 FIFO回路
- 47 マスク信号作成回路
- 51, 84, 89 選択回路
- 53 2分周クロックセレクト回路

55 2分周回路
 57 スタートパルス作成回路
 59～63, 66, 95, DV1～DVn データドライバ
 65, 80 デコーダ
 83, 87 反転回路
 85 インタフェース部 (I/F)
 91 第一データレジスタ
 93 第二データレジスタ
 97 ドライバ制御信号作成部
 99 データタイミング制御部
 101, 101a, 101b 遅延回路
 108 OR回路
 109, 115, 117, 118 バッファ
 113 シュミットトリガ回路
 125 可変抵抗
 201, 202, 204, 402, 606 ITO画素電極
 205, 206, 208 スリット
 211, 305 電極
 302, 615 樹脂層
 306, 307 ガラス基板
 308 SiN層
 404 液晶層
 801, 901 誘電体層
 SL ソース線
 GL 補助容量電極
 GE ゲート電極
 DE データ電極
 R 抵抗素子
 C キャパシタ

LR, RR 領域

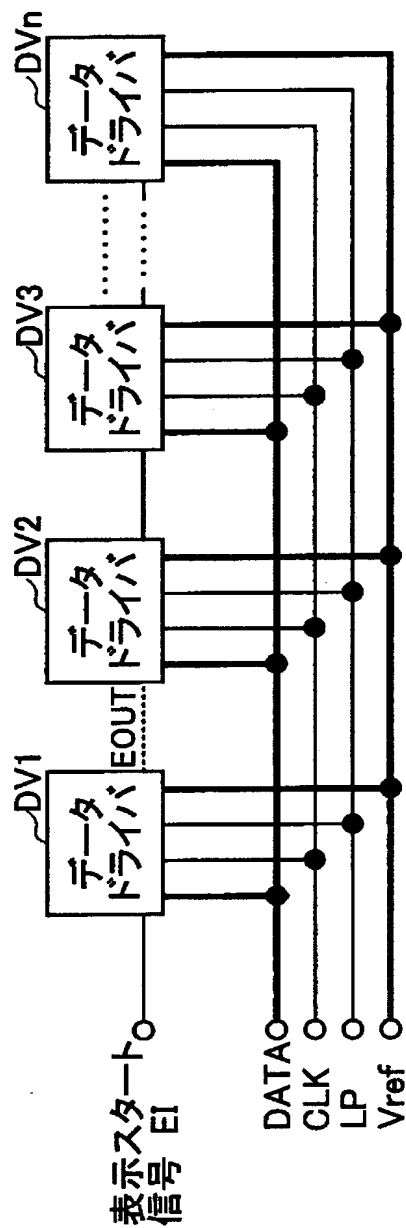
G1a~G3a, G1b~G3b, G1c~G3c グラフ

【書類名】

図面

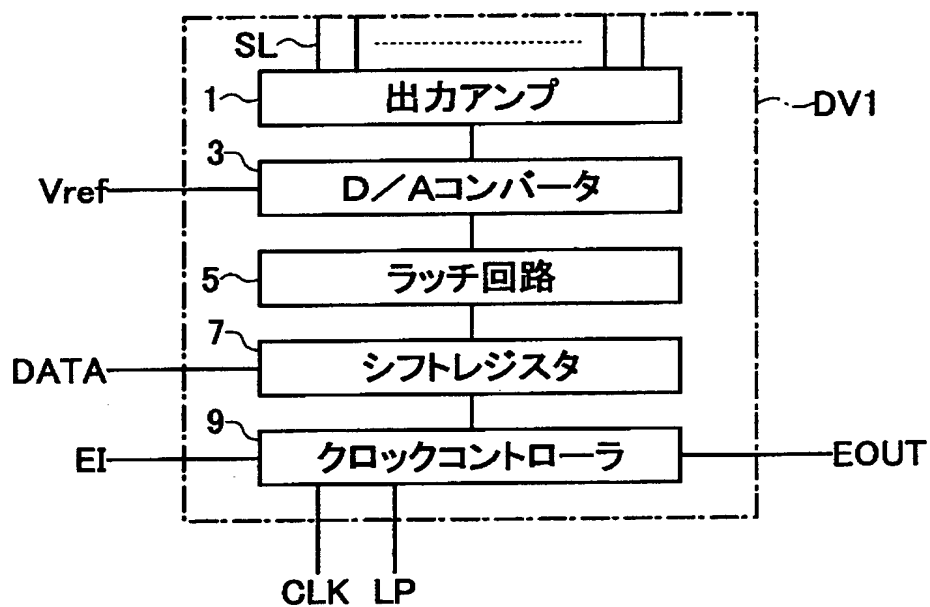
【図 1】

従来の液晶表示装置におけるデータ駆動部の構成を示すブロック図



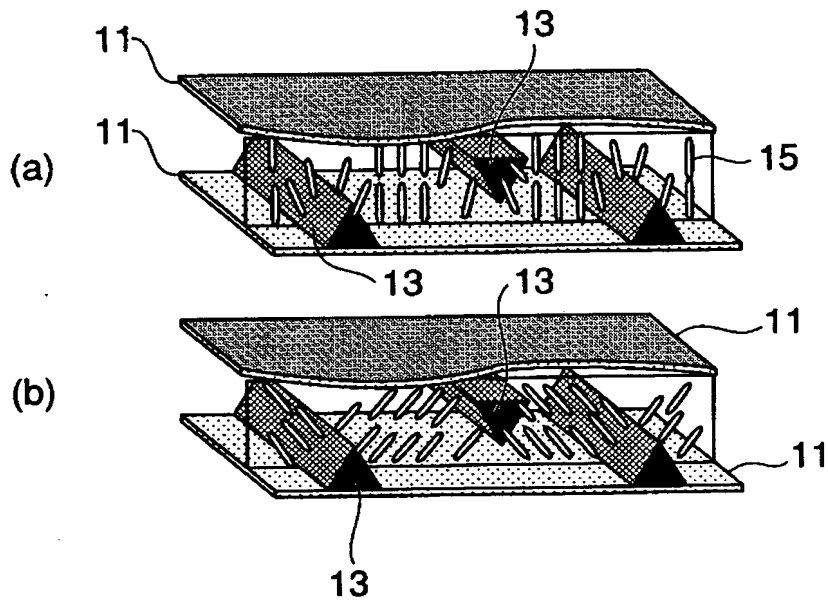
【図 2】

図1に示されたデータドライバの構成を示すブロック図



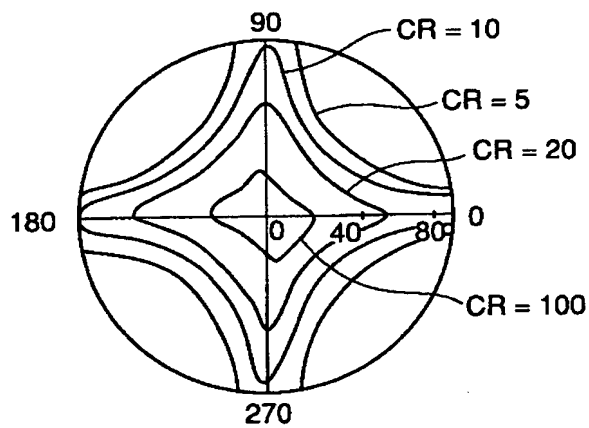
【図 3】

従来のMVA型液晶表示装置の基本構成を示す斜視図



【図 4】

図3に示された液晶表示装置における白黒コントラストの視覚特性を示すグラフ



【図5】

図3に示された液晶表示装置により表示された
正面表示画像の一例を示す図



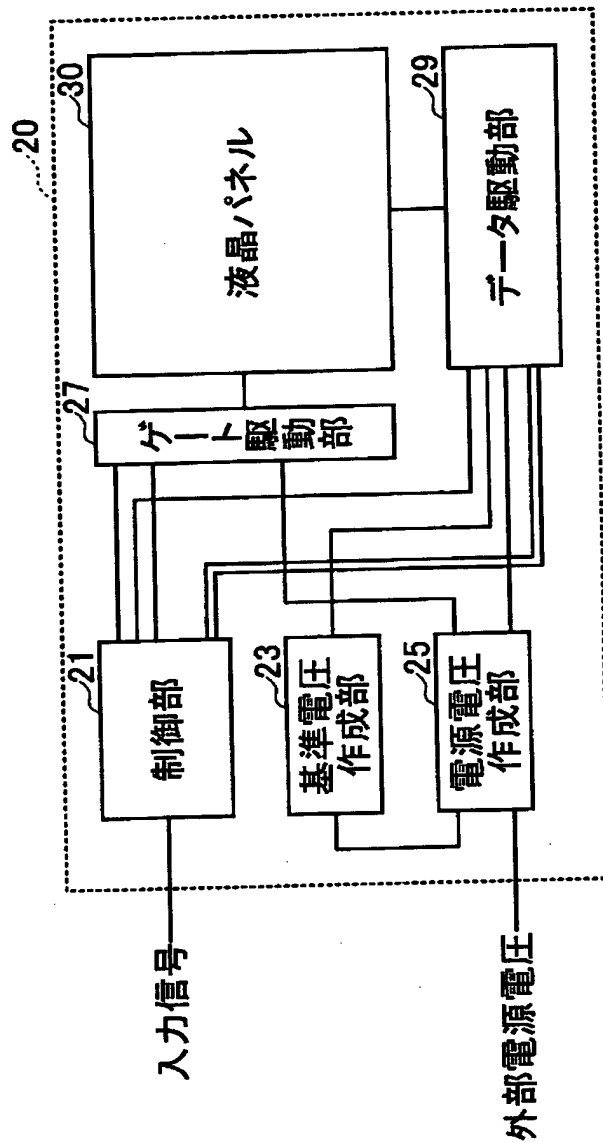
【図6】

図3に示された液晶表示装置の問題点を説明する図



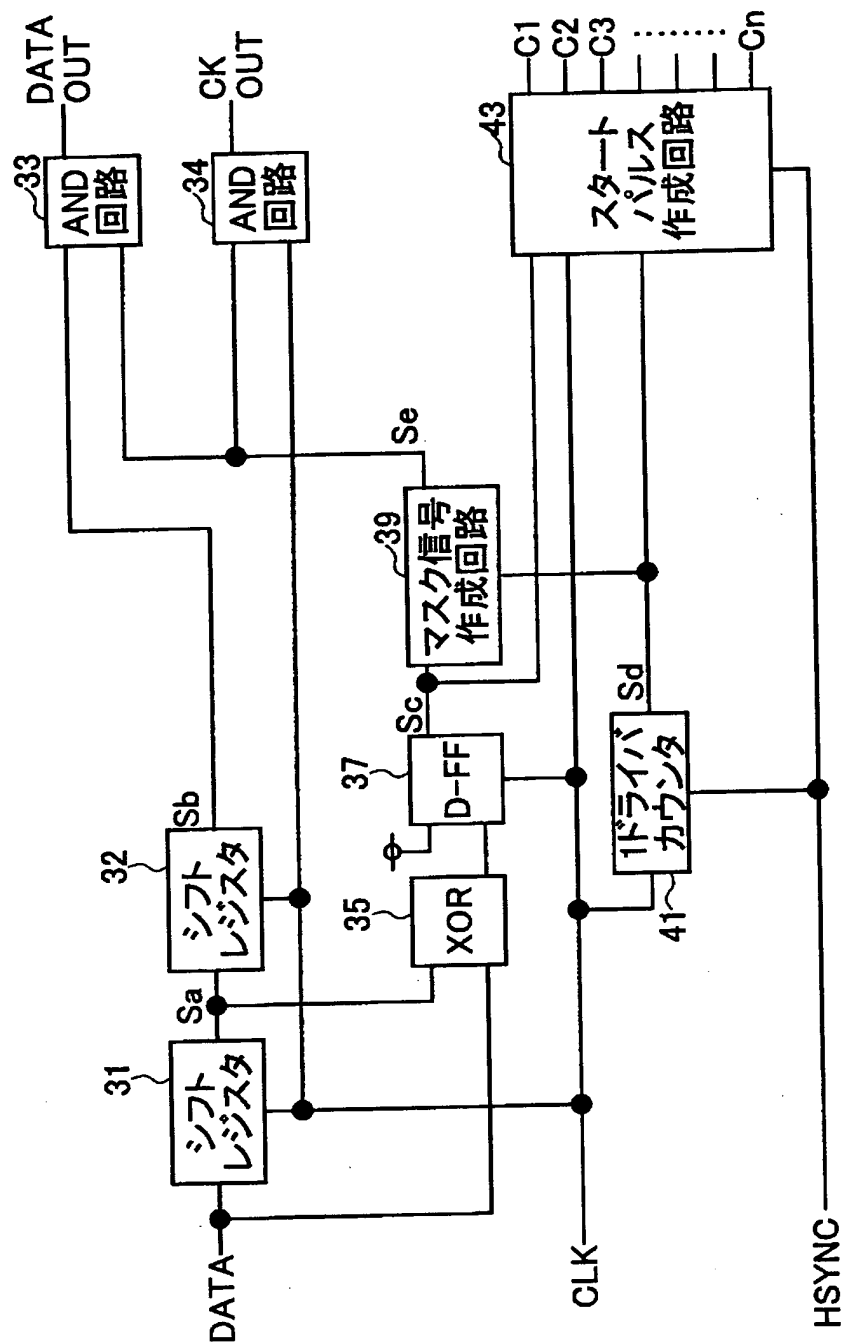
【図7】

本発明の実施の形態1に係る液晶表示装置の構成を示すブロック図



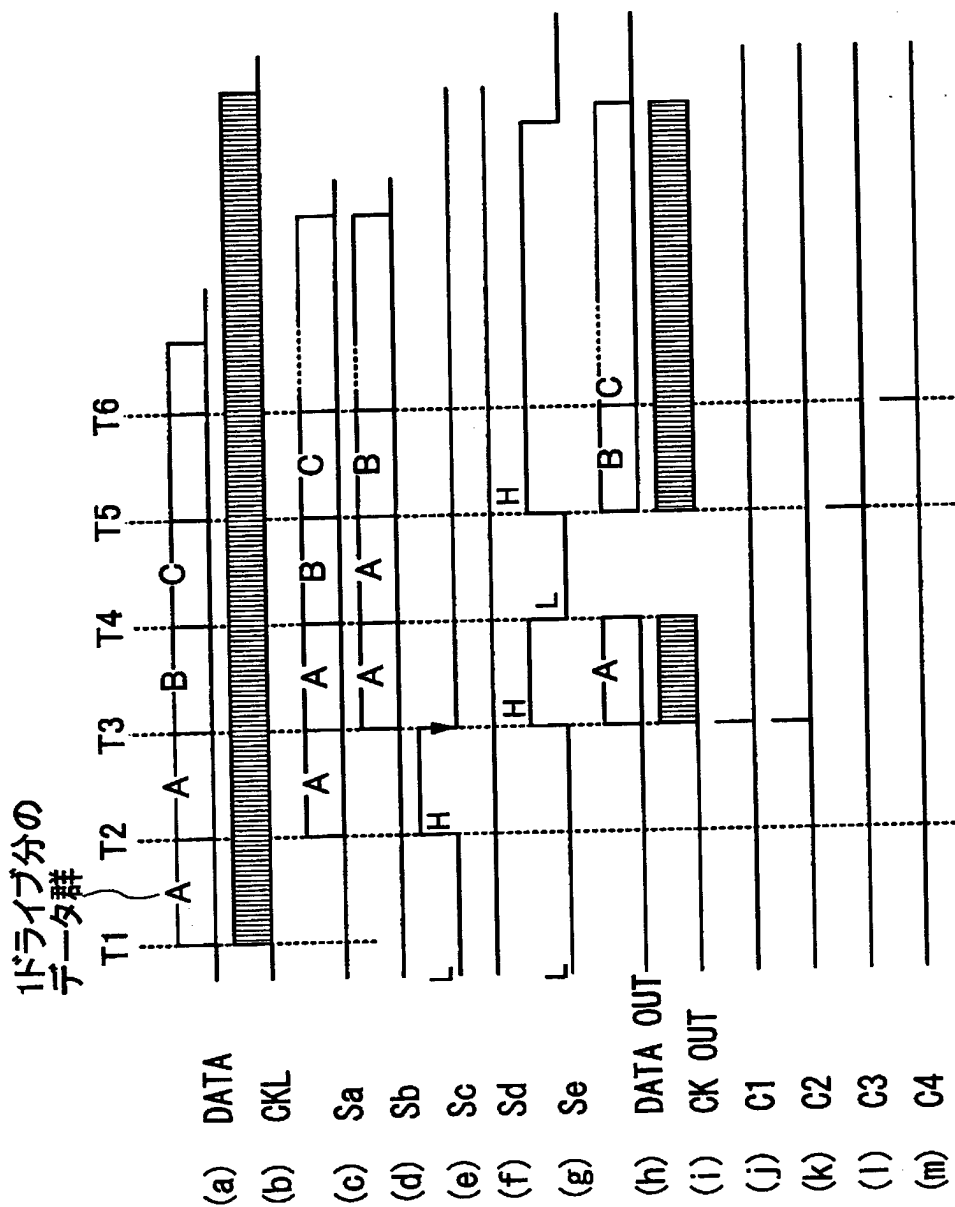
【図 8】

図7に示された制御部の第一の構成を示すブロック図



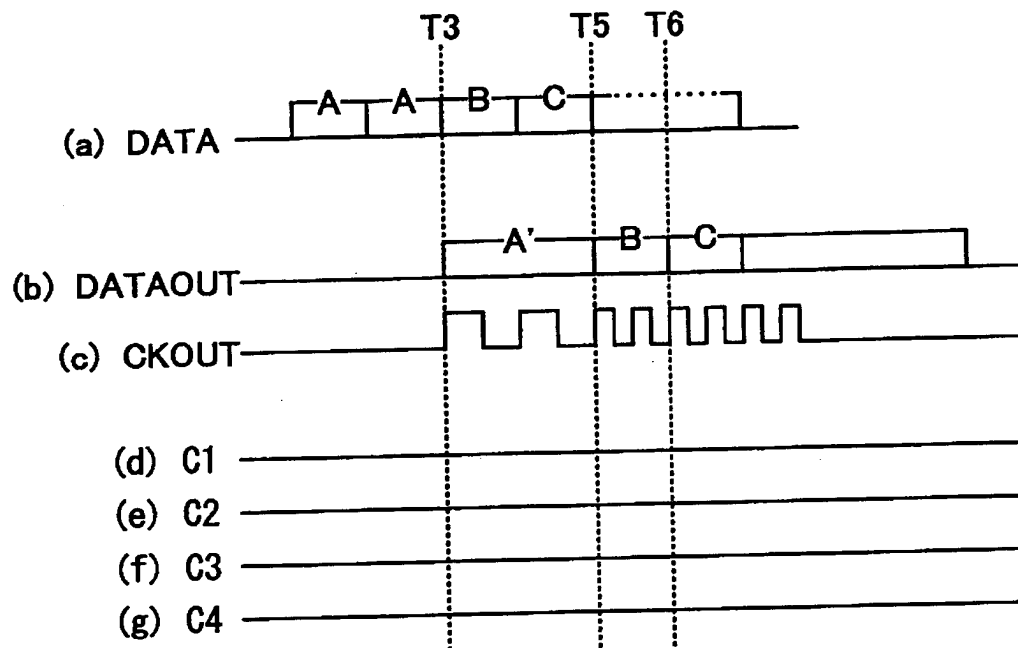
【図 9】

図8に示された制御部の
第一の動作を示すタイミングチャート



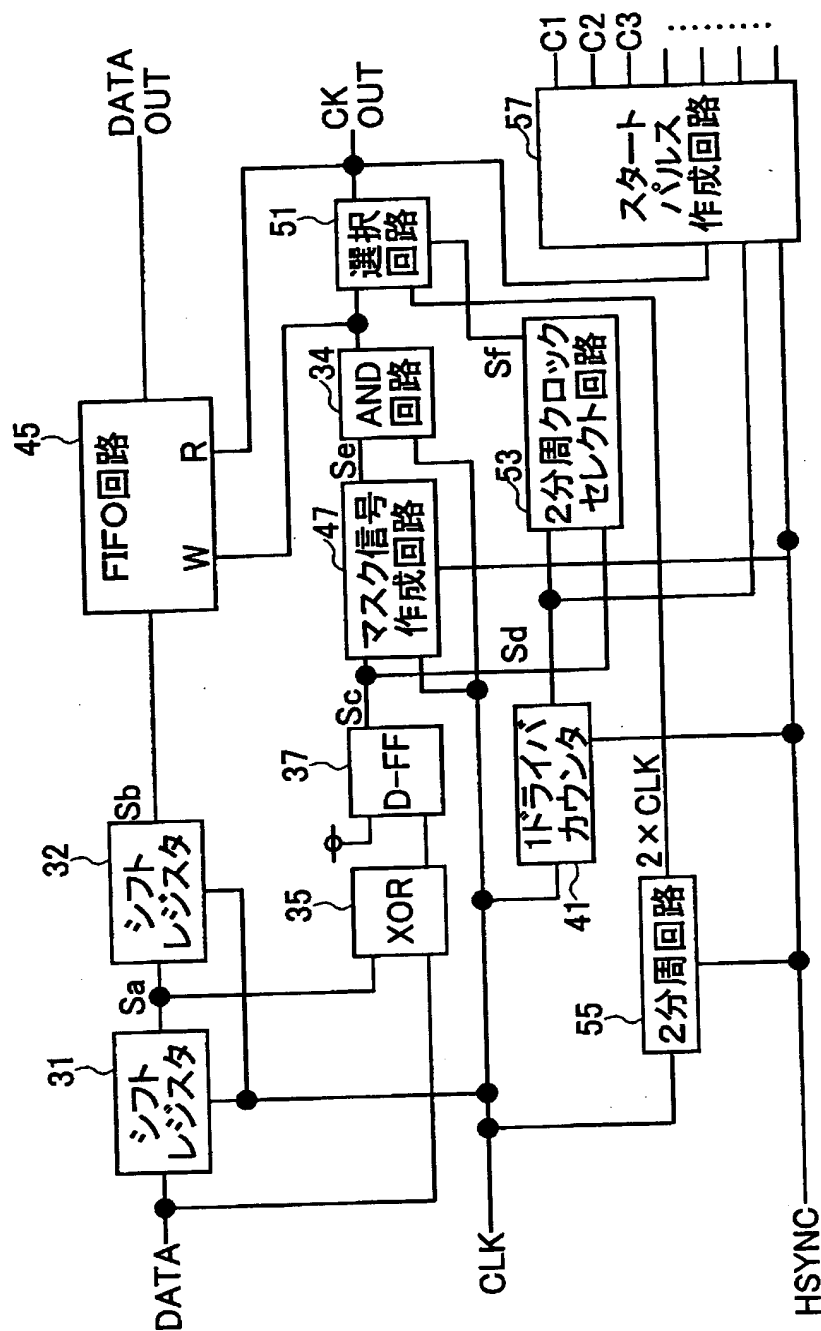
【図 1 0】

図8に示された制御部の
第二の動作を示すタイミングチャート



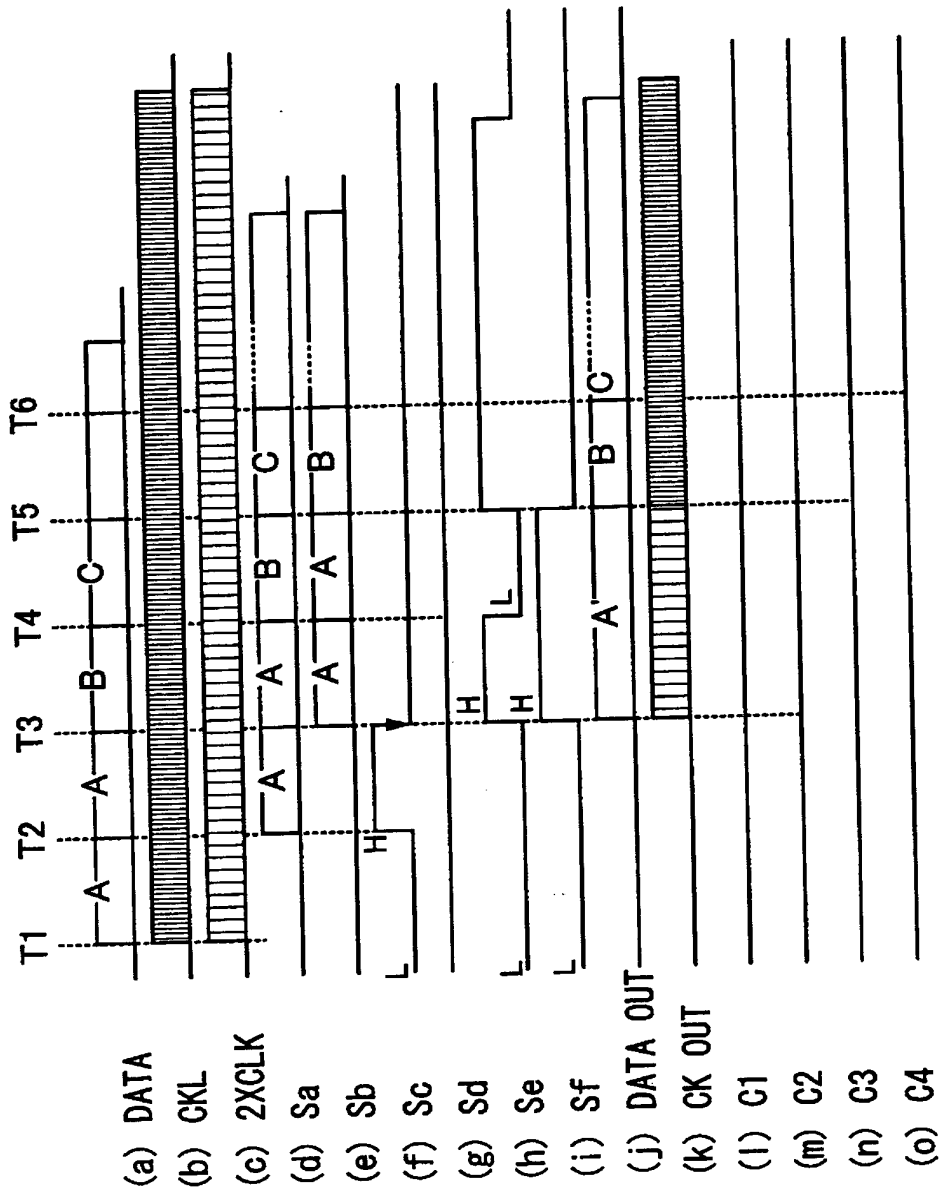
【図 11】

図7に示された制御部の第二の構成を示すブロック図



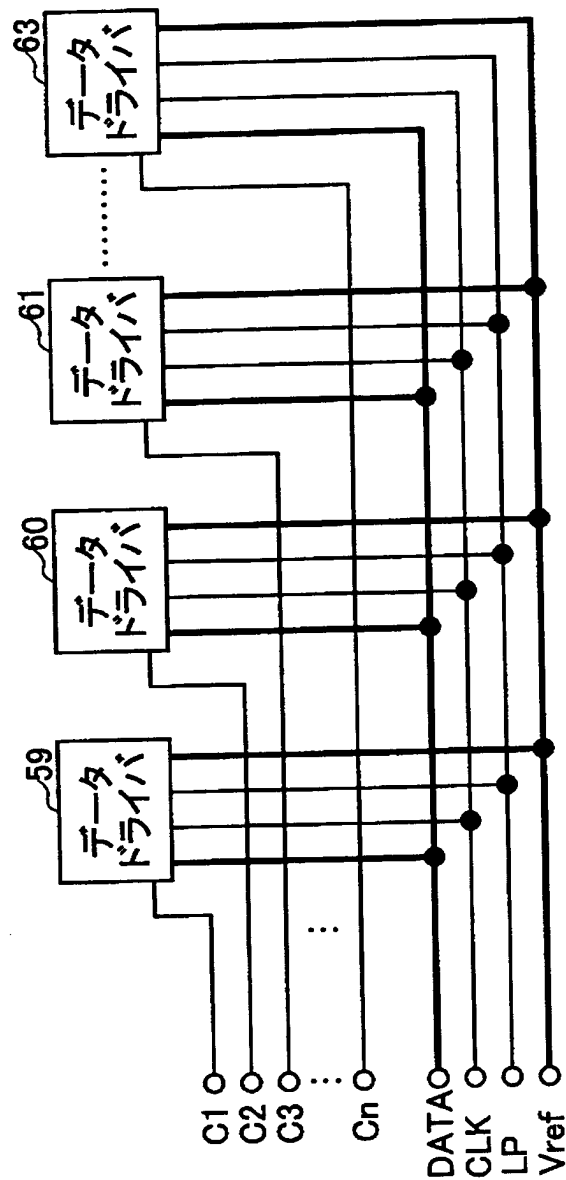
【図 12】

図 11 に示された制御部の
動作を示すタイミングチャート



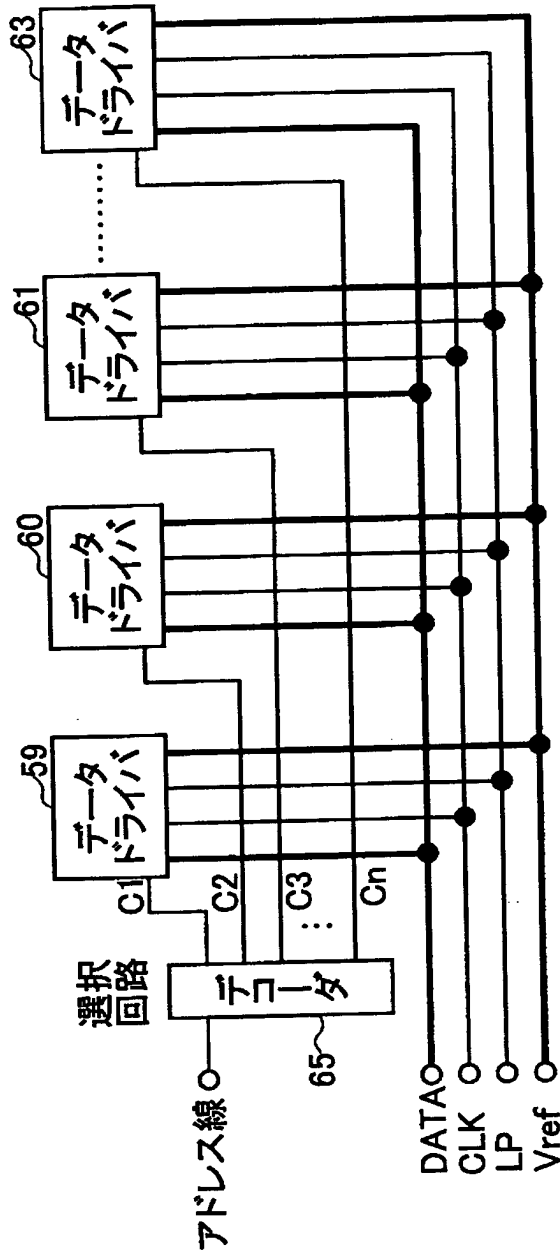
【図 13】

図7に示されたデータ駆動部の構成を示すブロック図



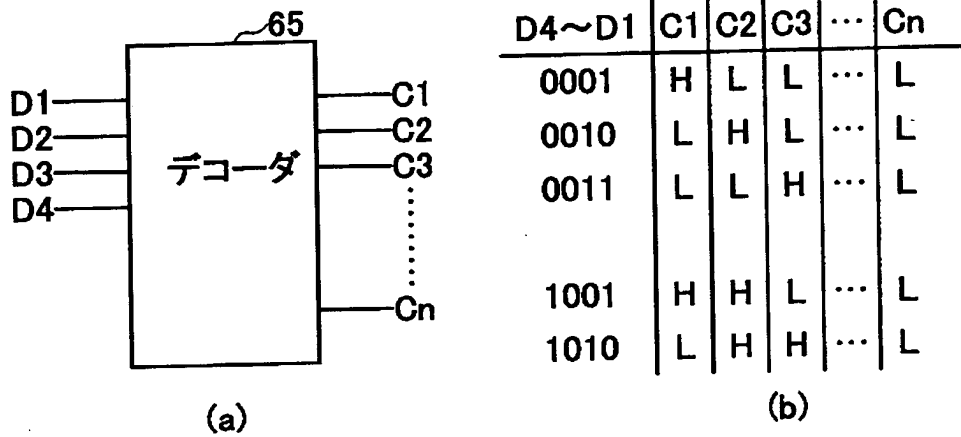
【図 14】

図7に示されたデータ駆動部の他の構成を示すブロック図



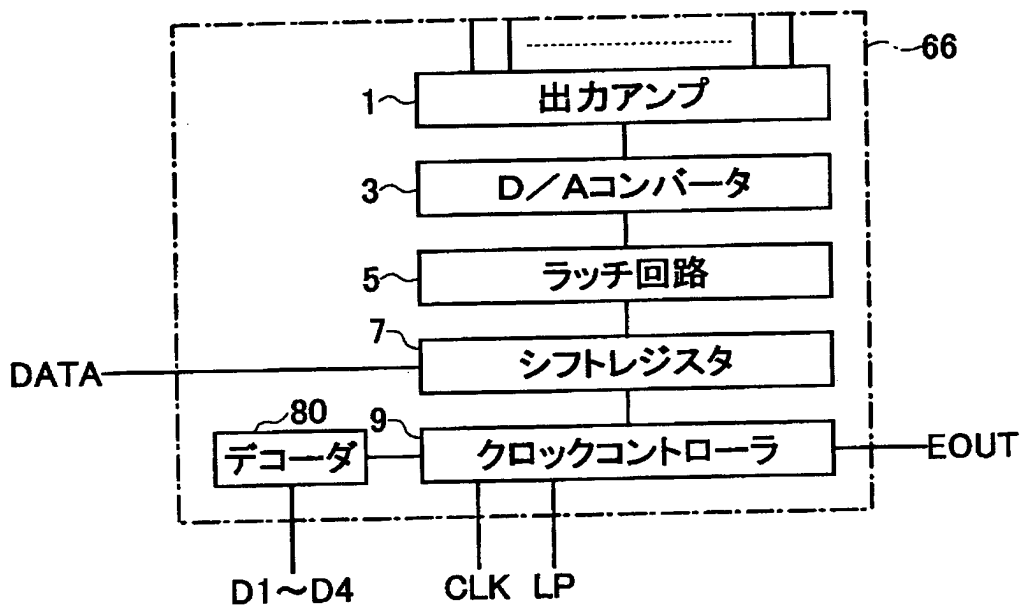
【図15】

図14に示されたデコーダを説明する図



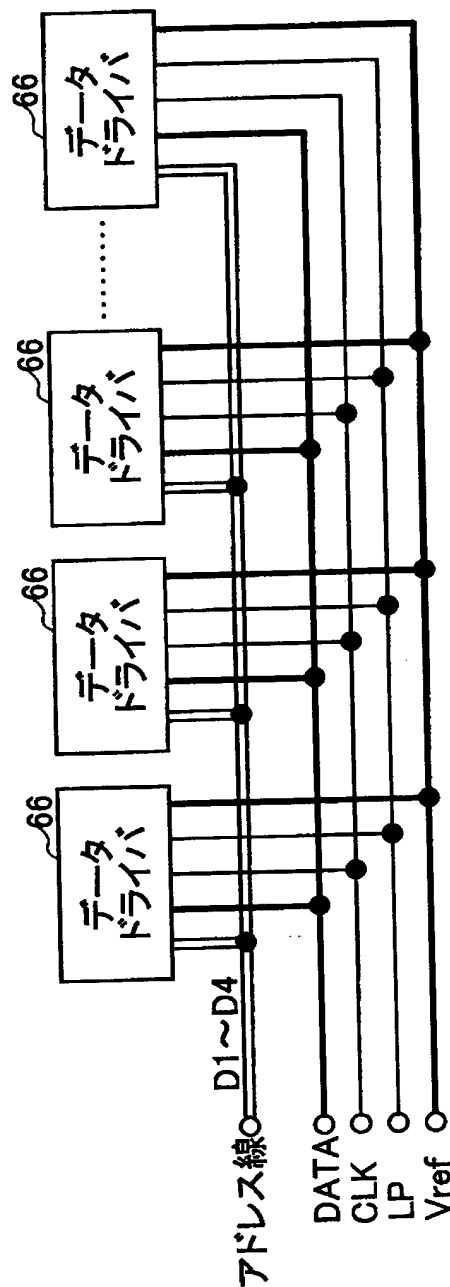
【図16】

本発明の実施の形態1に係るデータドライバの構成を示すブロック図



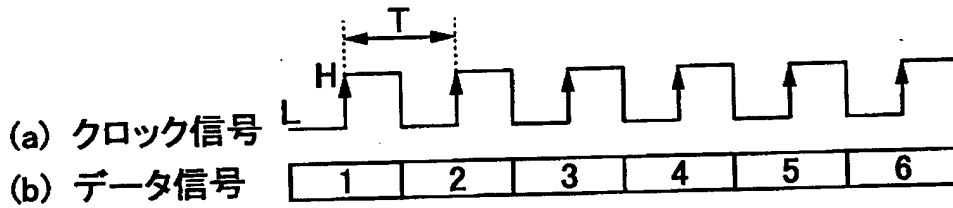
【図 17】

図16に示されたデータドライバにより構成されるデータ駆動部の構成を示すブロック図



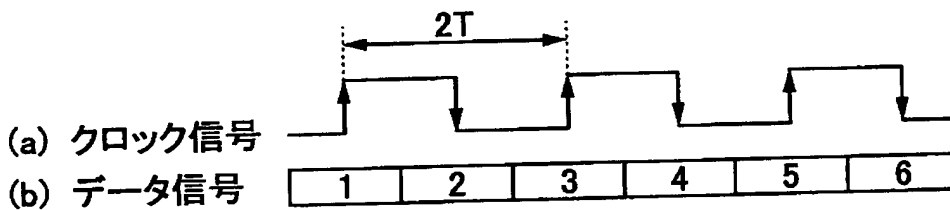
【図18】

従来から用いられているシングルエッジ
クロック信号によるデータ取り込みタイミングを
示すタイミングチャート



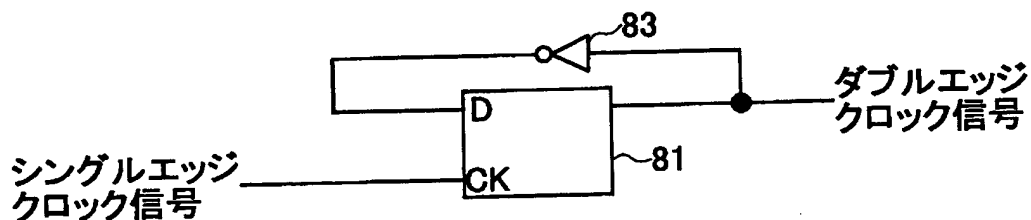
【図19】

従来から用いられているダブルエッジ
クロック信号によるデータ取り込みタイミングを
示すタイミングチャート



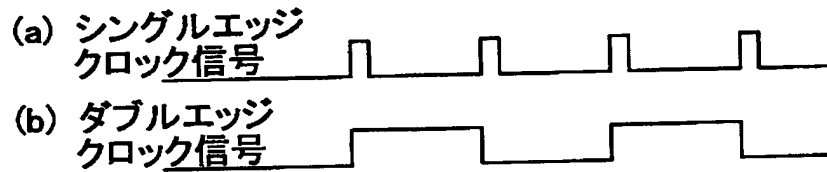
【図20】

図19に示されたダブルエッジクロック信号を
生成する回路を示す回路図



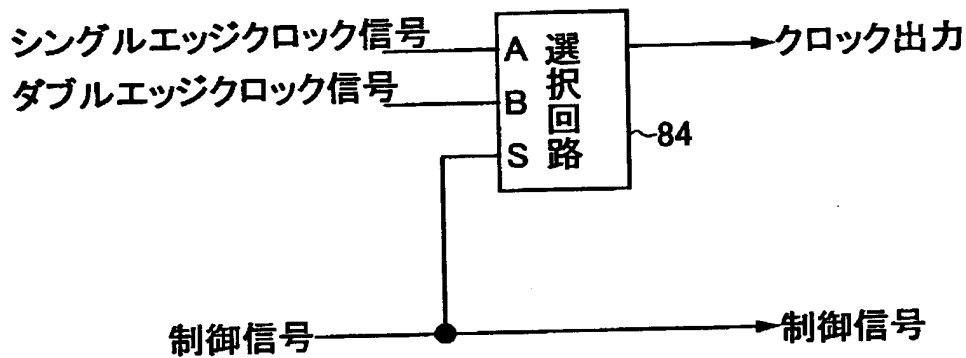
【図 2 1】

図20に示された回路の動作を示すタイミングチャート



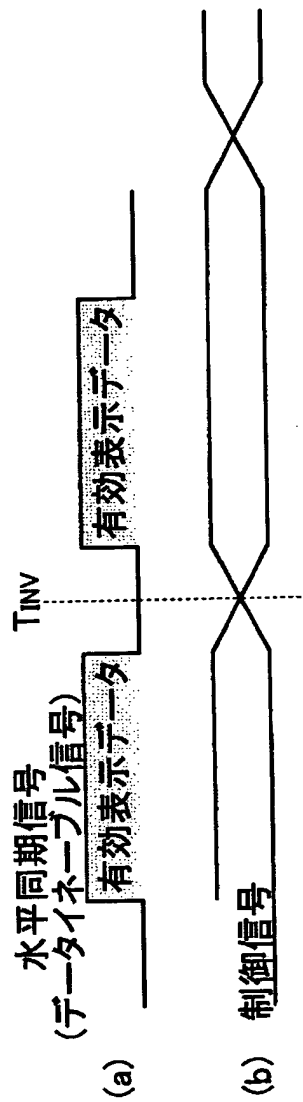
【図 2 2】

本発明の実施の形態2に係る制御部に含まれた
選択回路を示す図



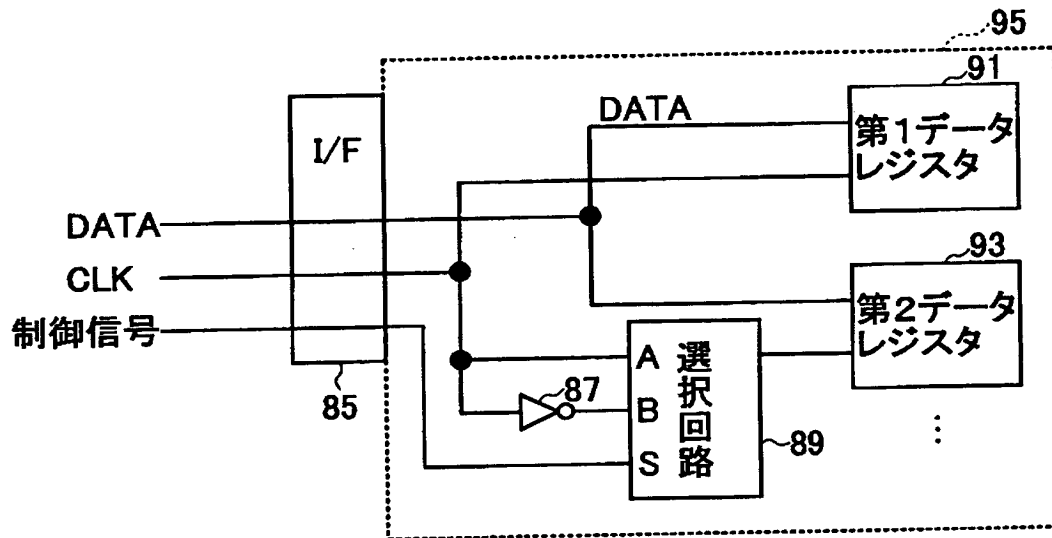
【図 23】

図22に示された選択回路の
動作を示すタイミングチャート



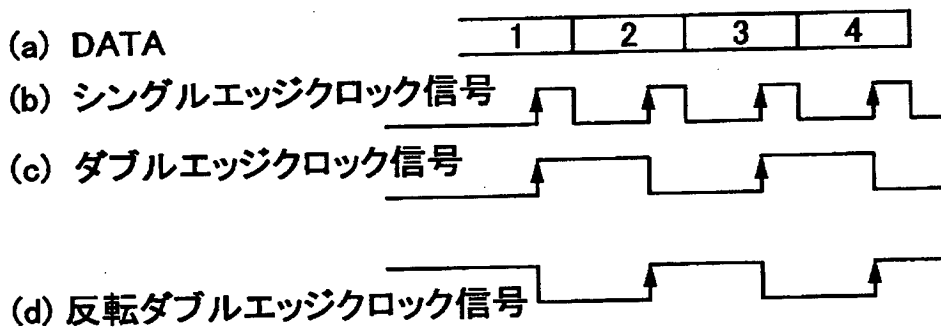
【図 24】

本発明の実施の形態2に係るドライバの構成を示す図



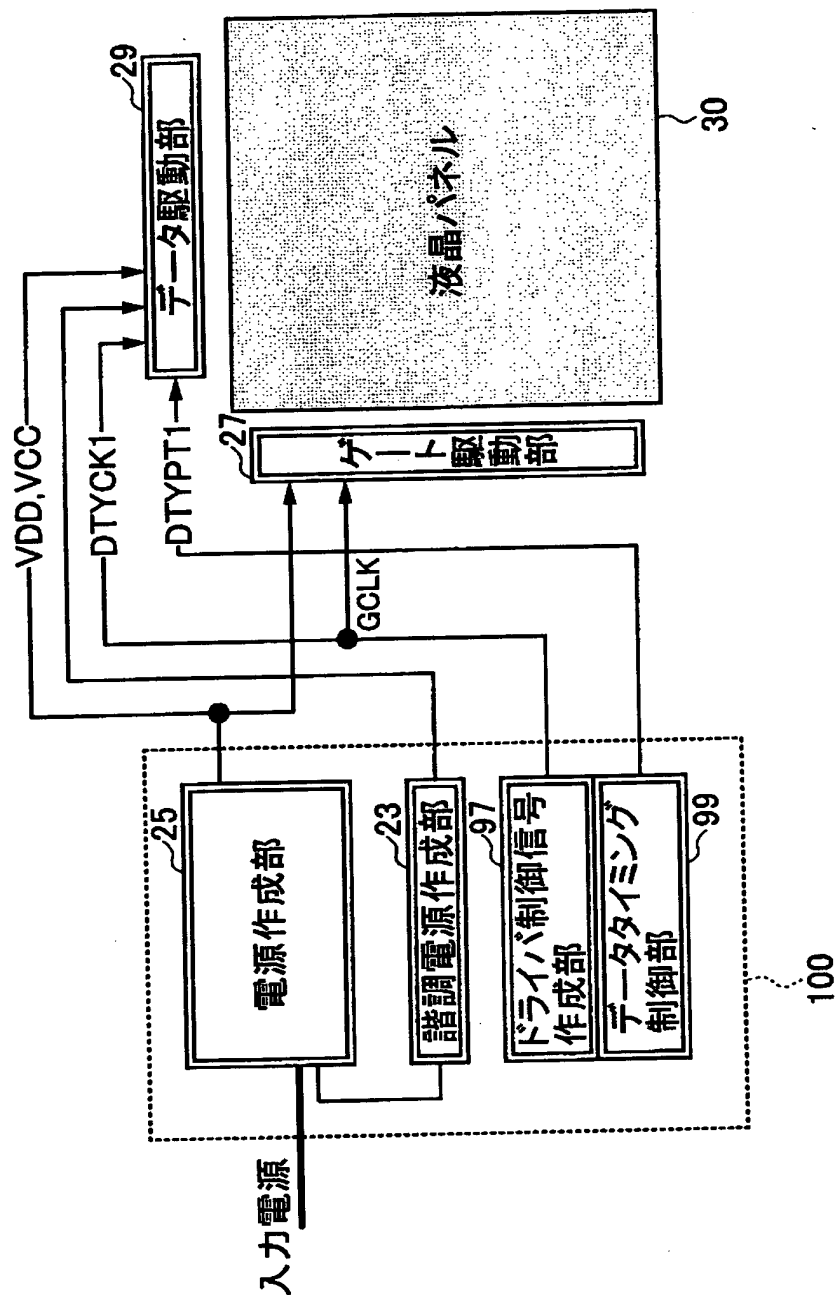
【図 25】

図24に示されたドライバの動作を示すタイミングチャート



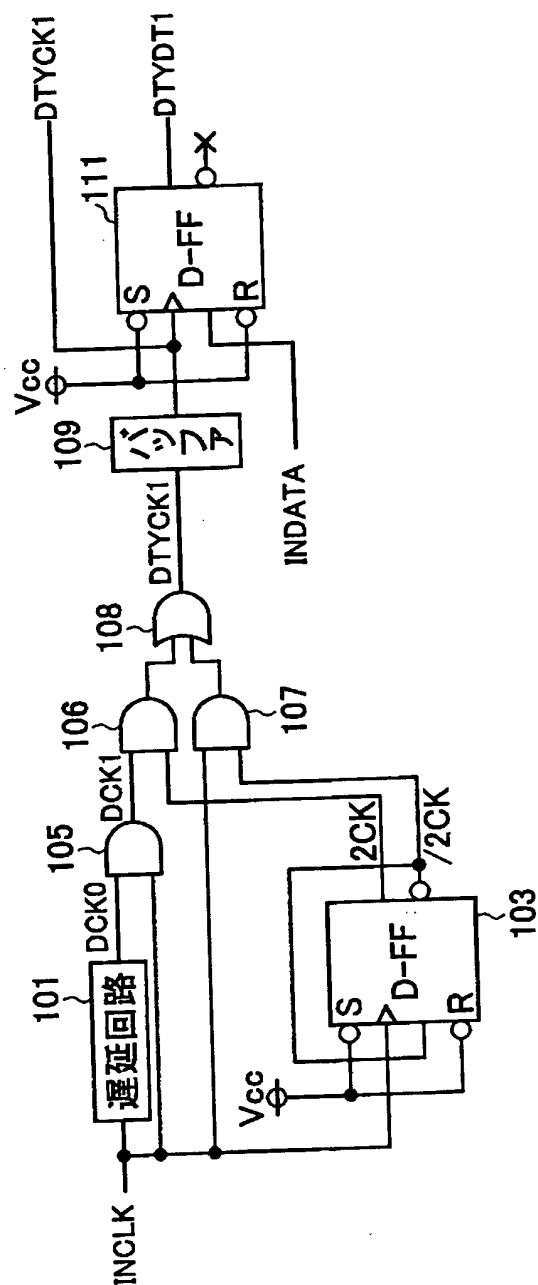
【図 26】

本発明の実施の形態3に係る液晶表示装置の構成を示す図



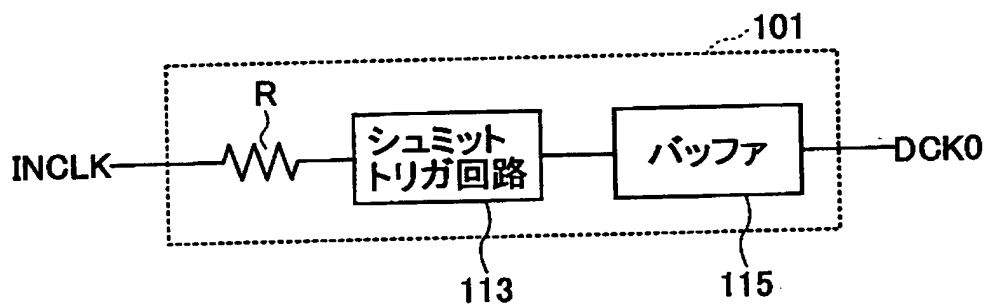
【図 27】

図26に示された制御部に含まれる回路の構成を示す図



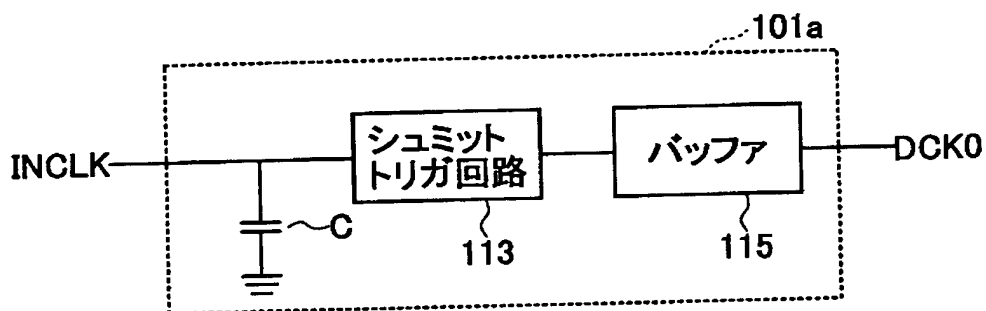
【図 28】

図27に示された遅延回路の第一の構成例を示す図



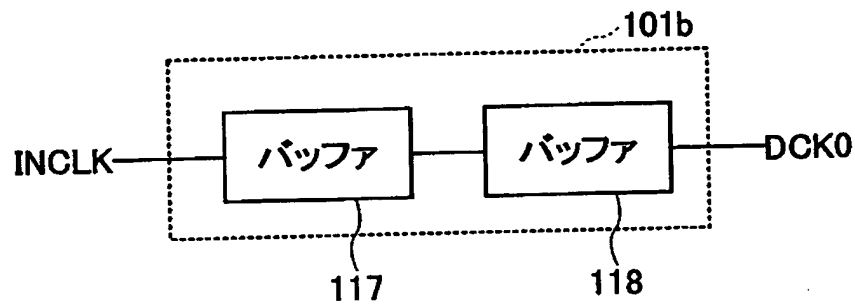
【図 29】

図27に示された遅延回路の第二の構成例を示す図



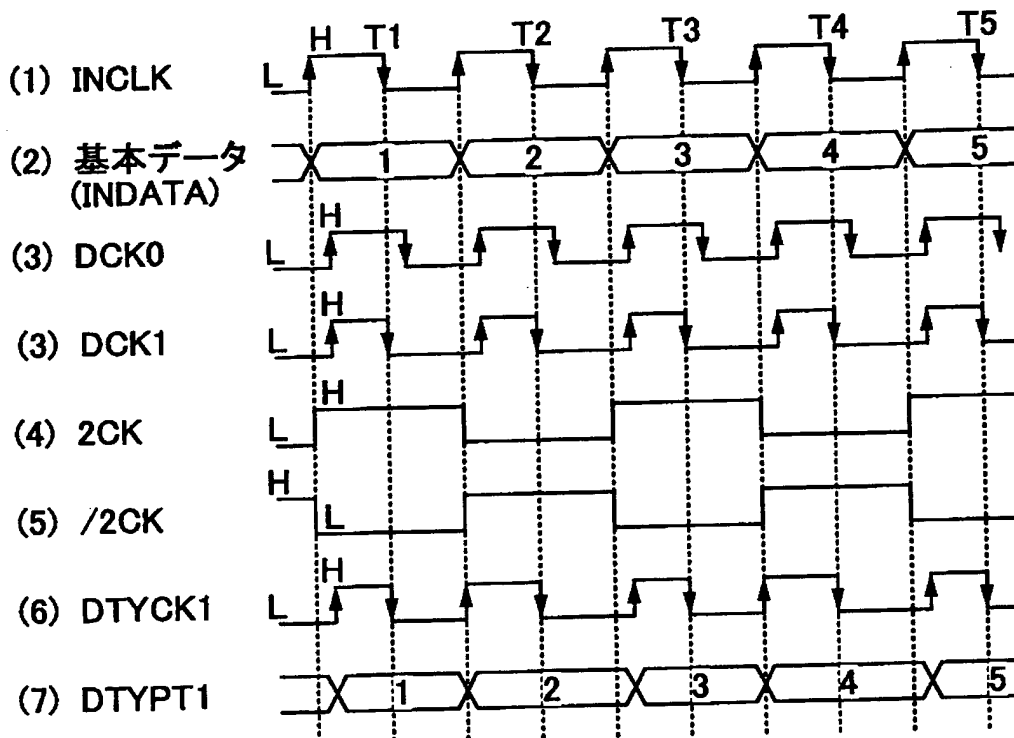
【図 3 0】

図27に示された遅延回路の第三の構成例を示す図



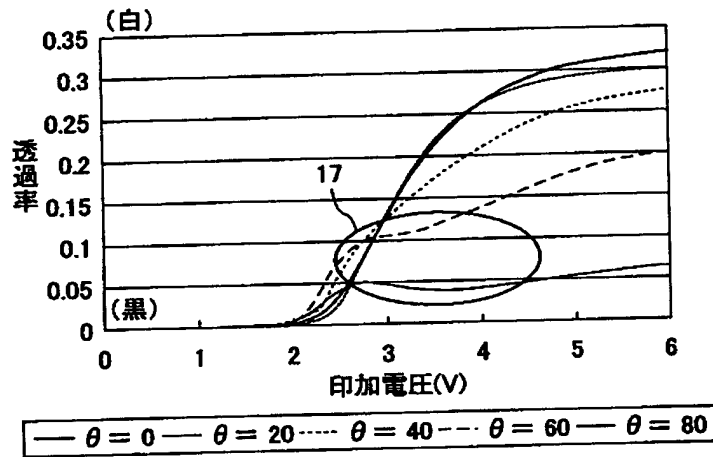
【図 3 1】

図27に示された回路の動作を示すタイミングチャート



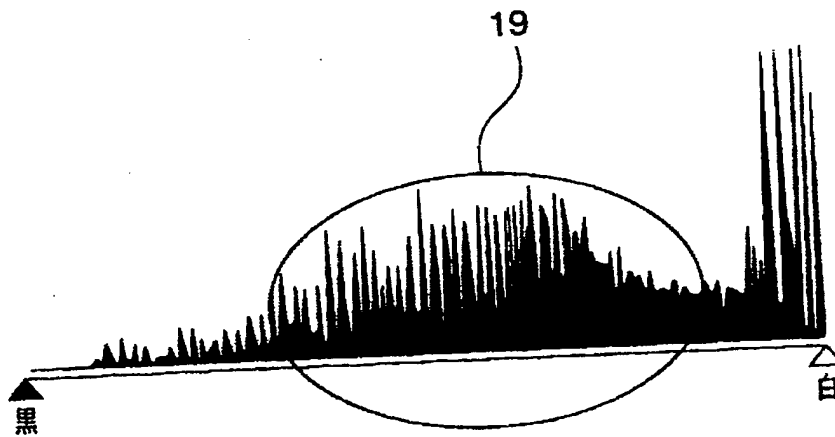
【図 3 2】

従来のMVA型液晶表示装置のT-V特性を示すグラフ



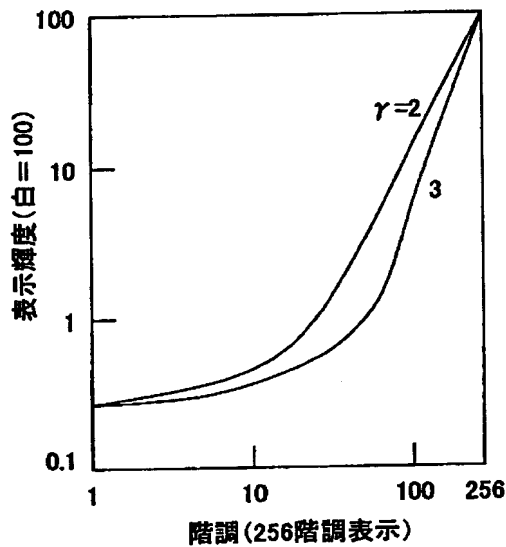
【図 3 3】

従来のMVA型液晶表示装置に表示される画像のうち、視野角特性の問題が顕著となる画像の階調・輝度ヒストグラムを示すグラフ



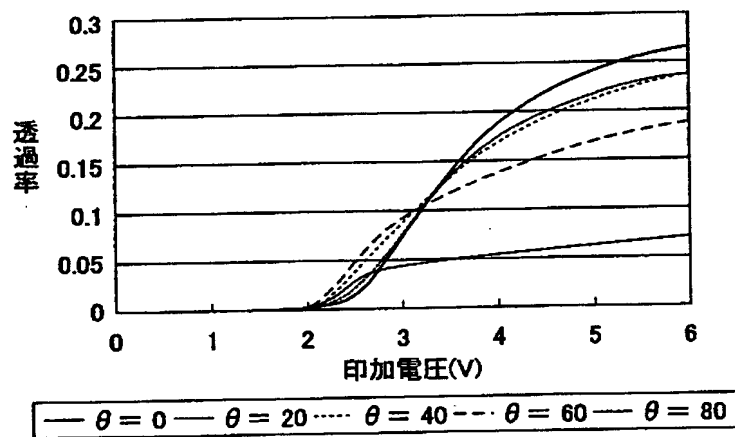
【図 3 4】

階調輝度特性 γ の定義を説明するグラフ



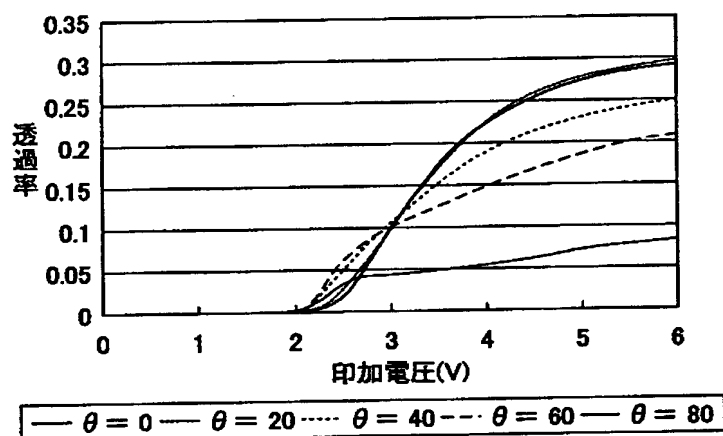
【図 3 5】

従来のMVA型液晶表示装置におけるT-V特性の積 $\Delta n \cdot d$ に対する依存性を示す第一のグラフ



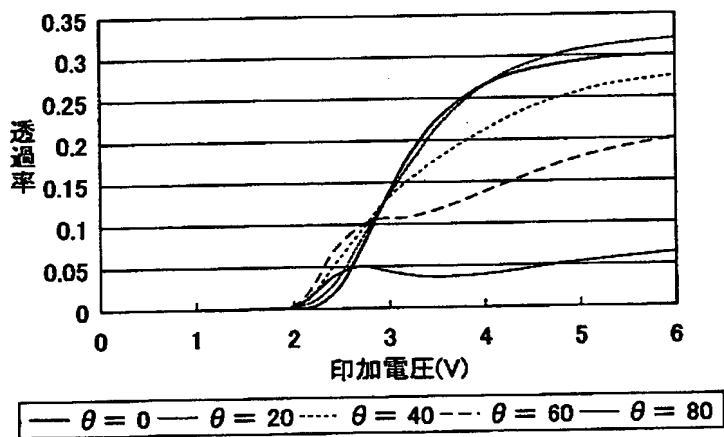
【図 3 6】

従来のMVA型液晶表示装置におけるT-V特性の積 $\Delta n \cdot d$ に対する依存性を示す第二のグラフ



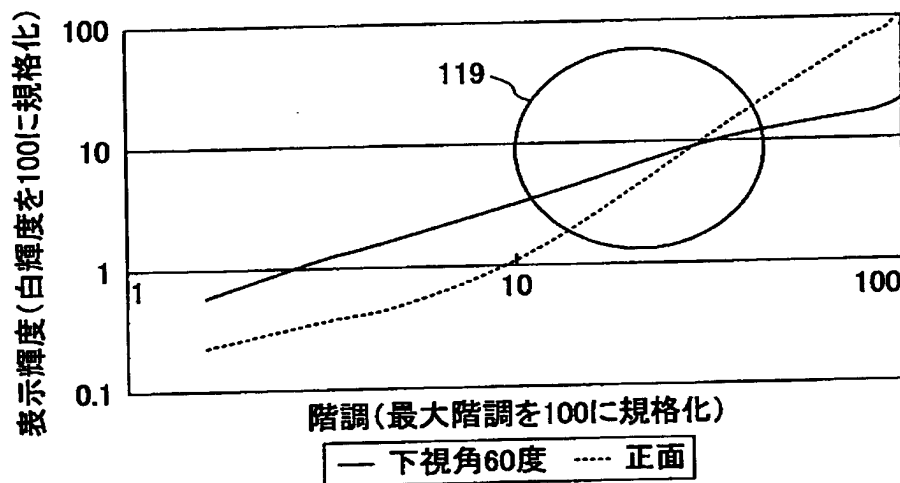
【図 3 7】

従来のMVA型液晶表示装置におけるT-V特性の積 $\Delta n \cdot d$ に対する依存性を示す第三のグラフ



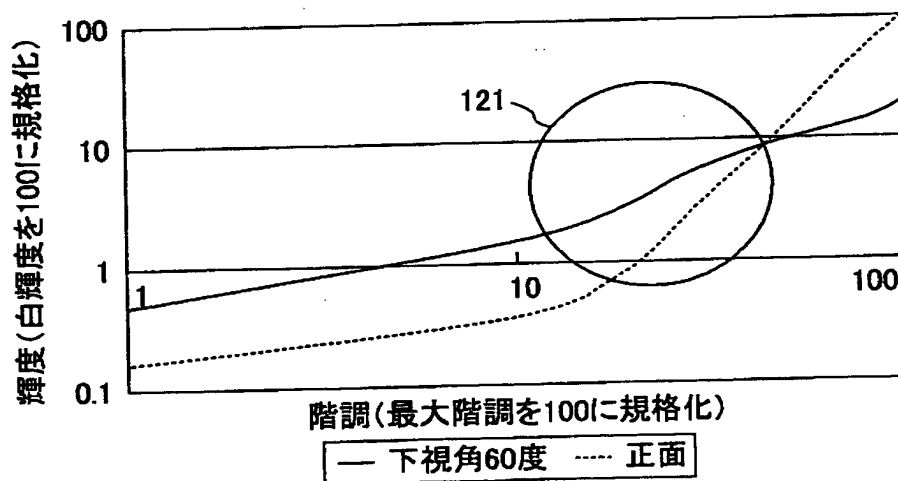
【図 38】

本発明の実施の形態 4 に係る液晶表示装置における
階調一輝度特性を説明する第一のグラフ



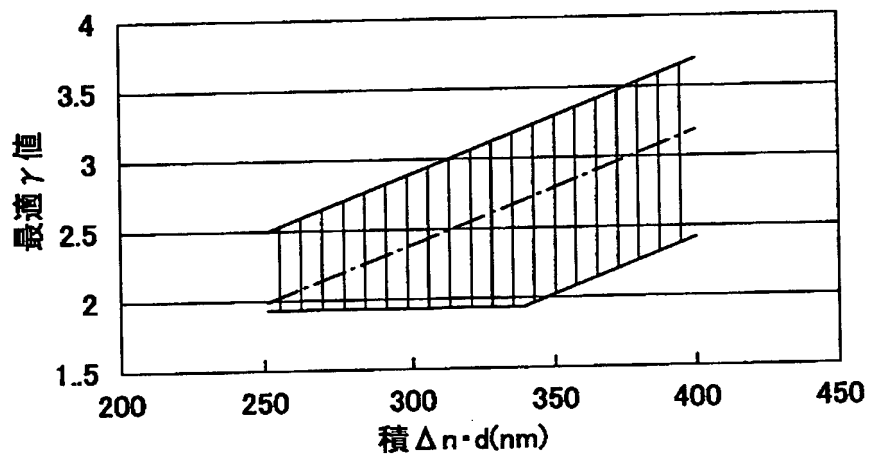
【図 39】

本発明の実施の形態 4 に係る液晶表示装置における
階調一輝度特性を説明する第二のグラフ



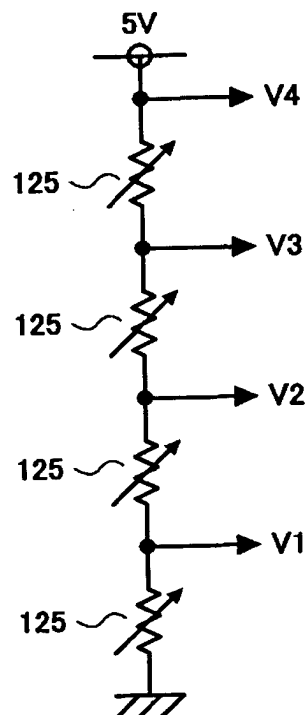
【図 40】

本発明の実施の形態 4 に係る液晶表示装置における
階調一輝度特性を説明する第三のグラフ



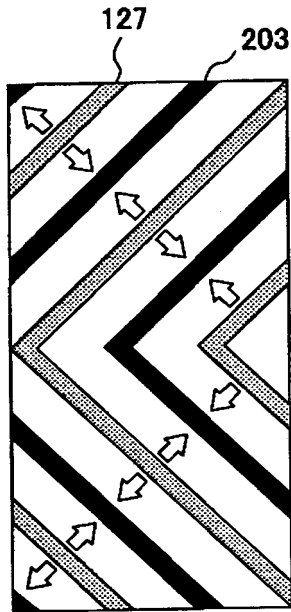
【図 4 1】

本発明の実施の形態 4 に係る液晶表示装置において
階調一輝度特性 γ を調整する方法を説明する図



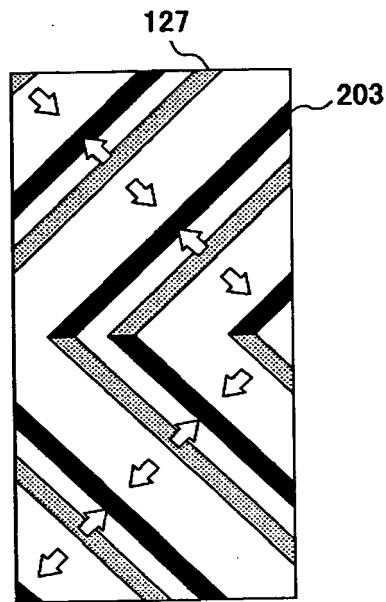
【図 4 2】

従来のMVA型液晶表示装置における
表示領域のレイアウトを示す平面図



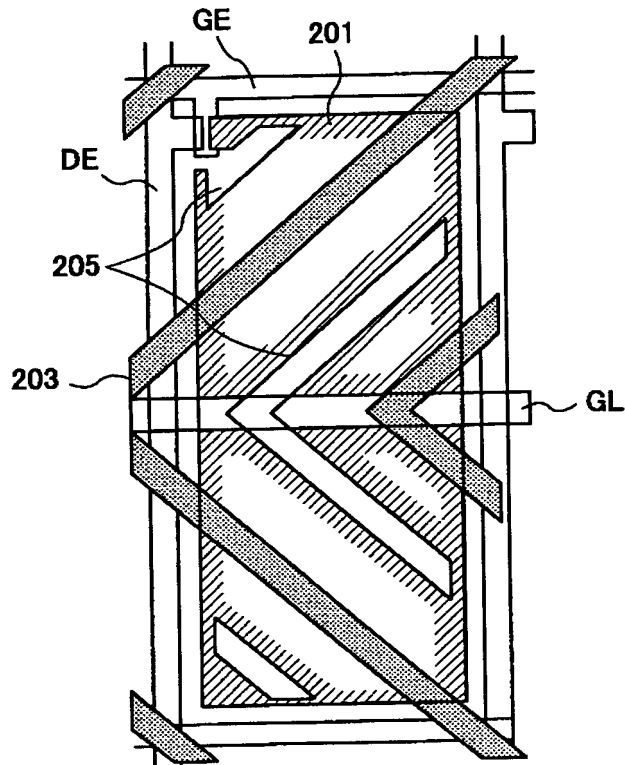
【図 4 3】

本発明の実施の形態 5 に係る液晶表示装置における
表示領域のレイアウトを示す平面図



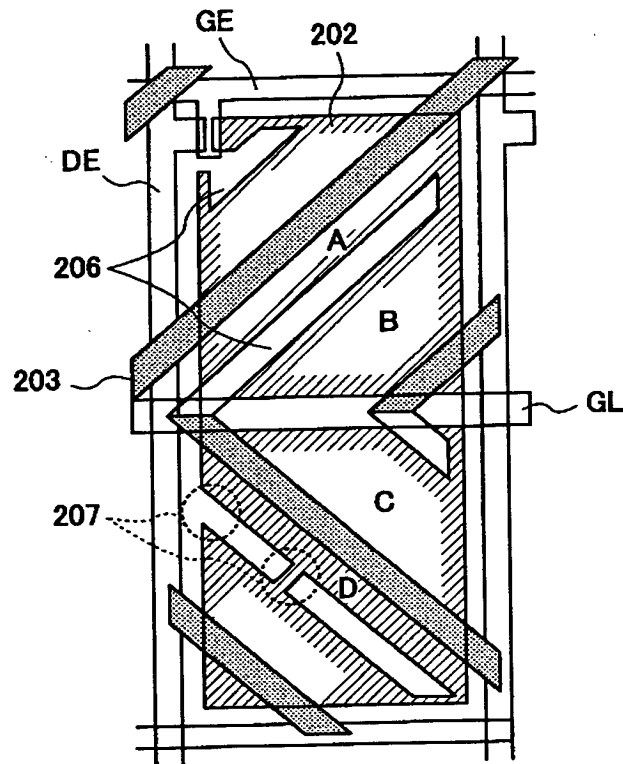
【図 4 4】

従来のMAV型液晶表示装置における
表示領域のレイアウトを示す平面図



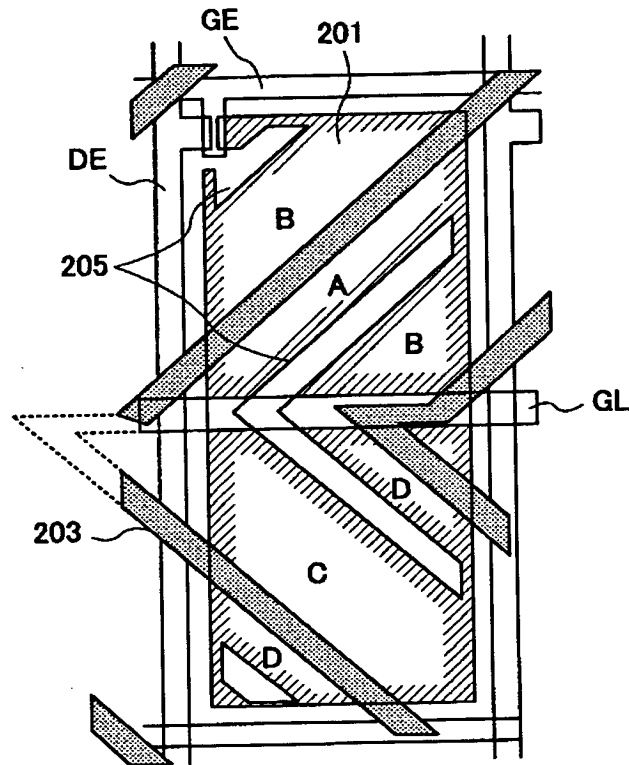
【図 45】

本発明の実施の形態5に係る液晶表示装置における
表示領域のレイアウトの例を示す平面図



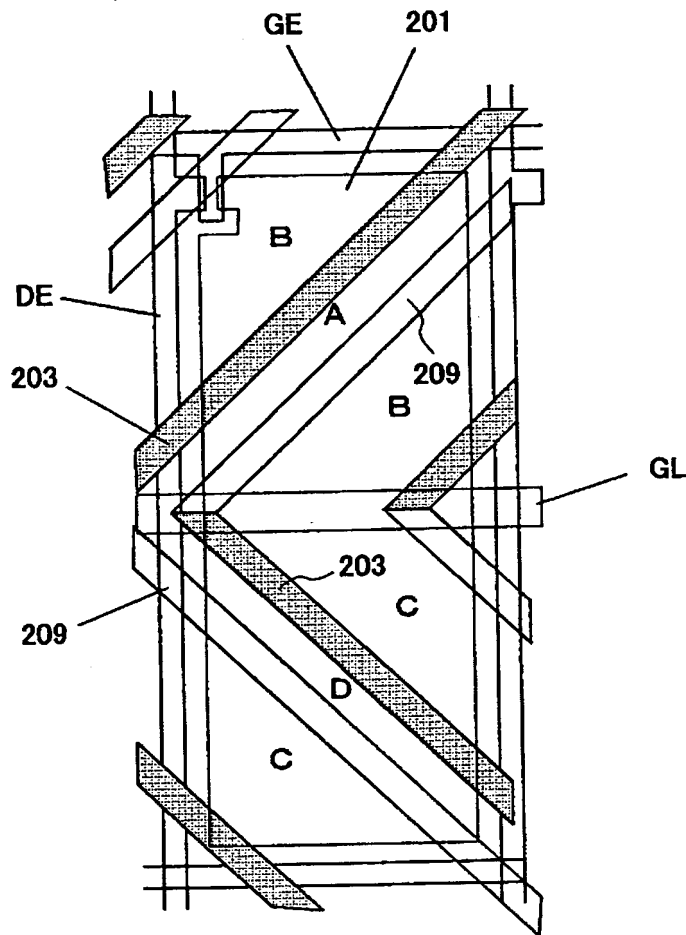
【図 4 6】

本発明の実施の形態 5 に係る液晶表示装置における
表示領域のレイアウトについて他の例を示す平面図



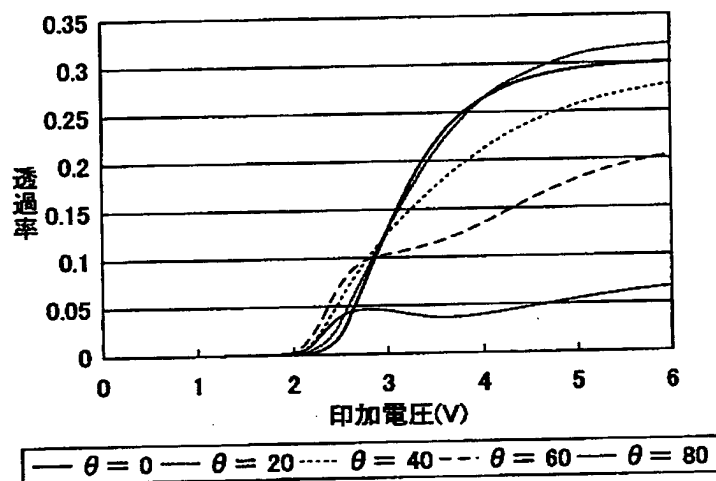
【図 47】

本発明の実施の形態 5 に係る液晶表示装置における表示領域のレイアウトについてさらに他の例を示す平面図



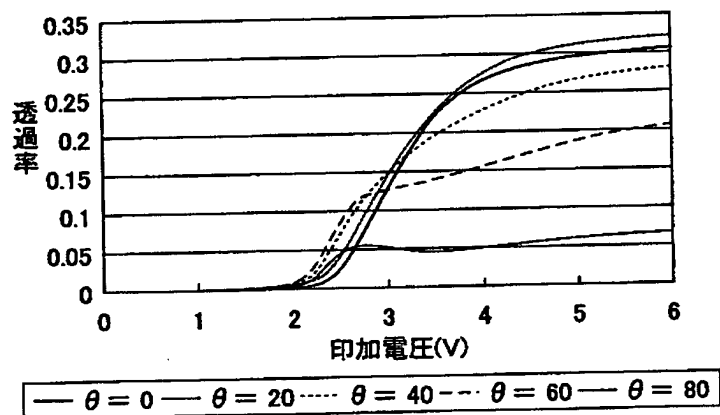
【図 4 8】

図 4 2 及び図 4 4 に示された従来の液晶表示装置における T-V 特性を示すグラフ



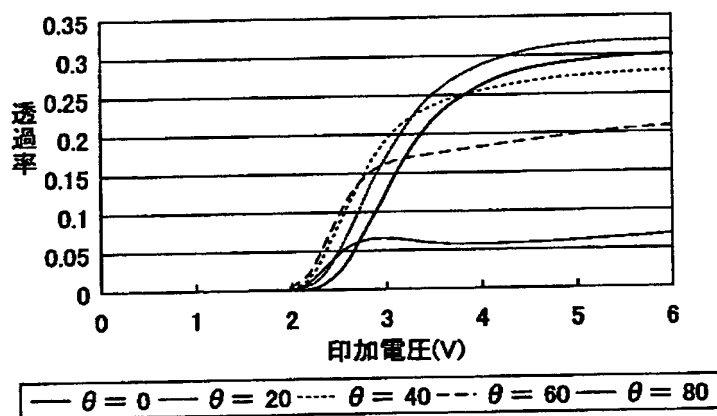
【図 4 9】

本発明の実施の形態 5 に係る液晶表示装置の T-V 特性を示す第一のグラフ



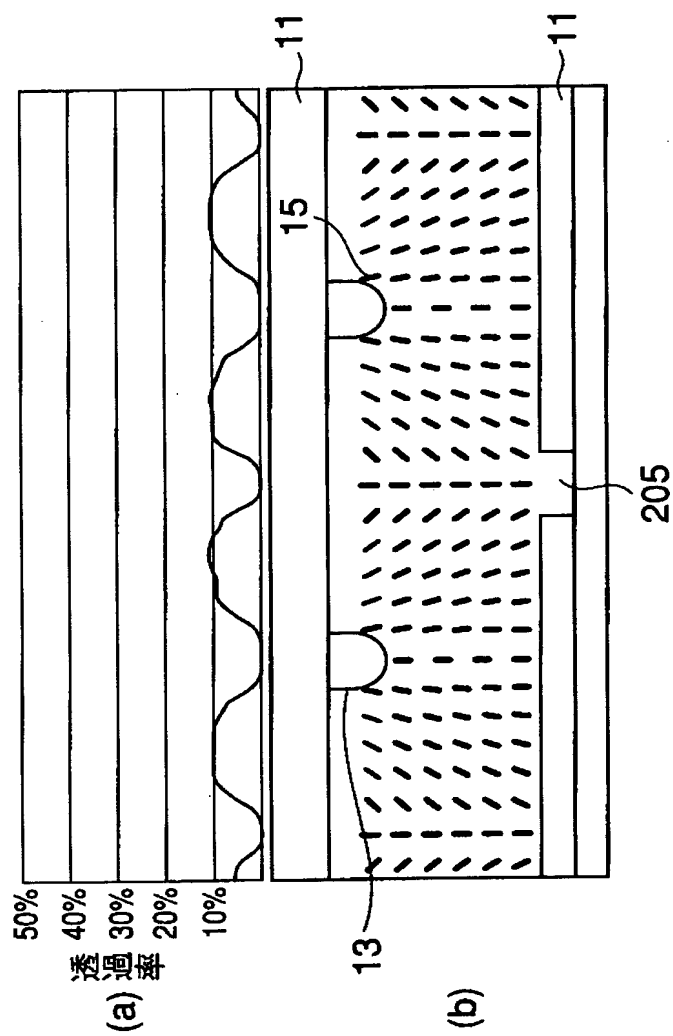
【図 5 0】

本発明の実施の形態 5 に係る液晶表示装置の
T-V 特性を示す第二のグラフ



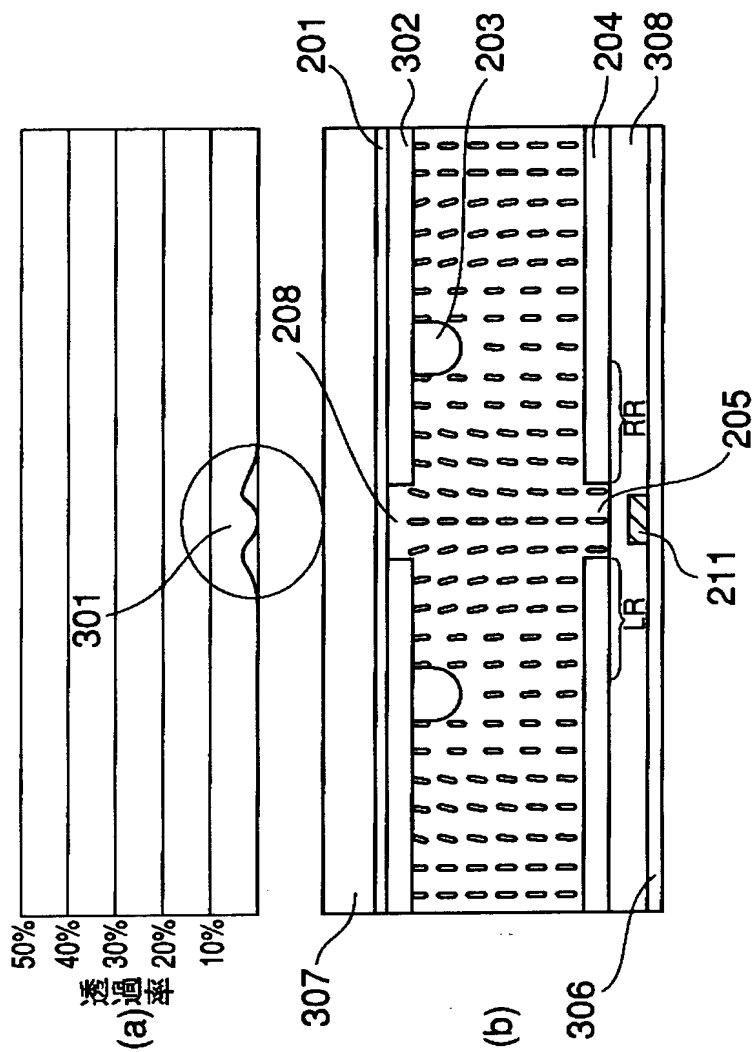
【図 5 1】

従来のMVA型液晶表示装置の問題点を説明する図



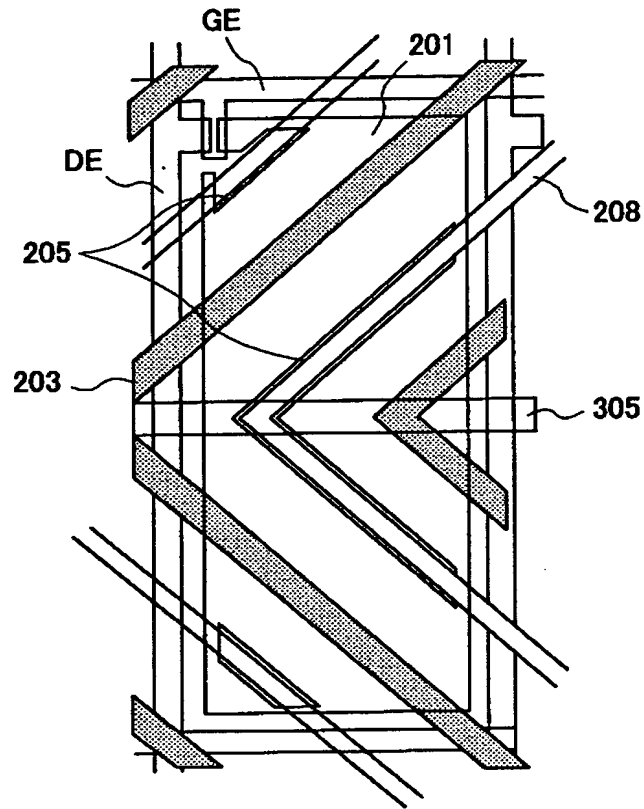
【図 5 2】

本発明の実施の形態6に係る液晶表示装置における第一の構造例を説明する図



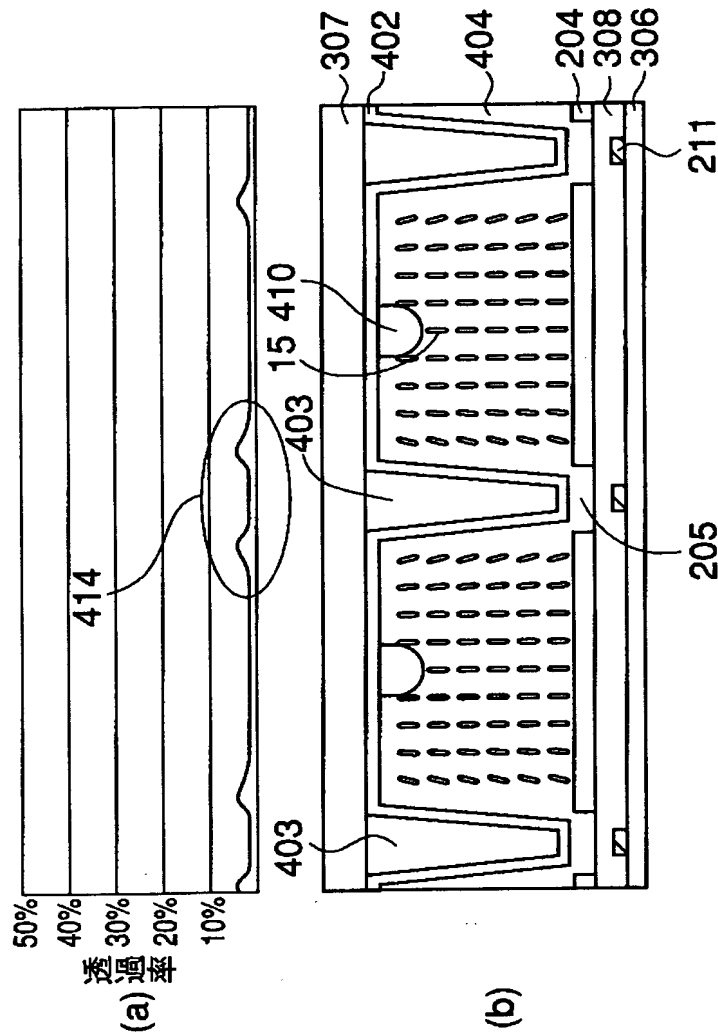
【図 5 3】

図 5 2 に示された液晶表示装置のレイアウトを示す平面図



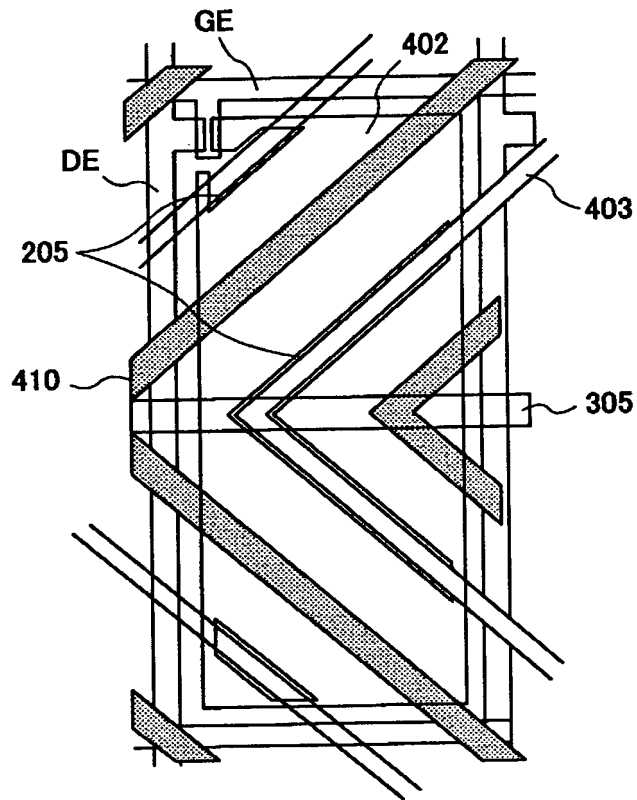
【図 54】

本発明の実施の形態6に係る液晶表示装置における第二の構造例を説明する図



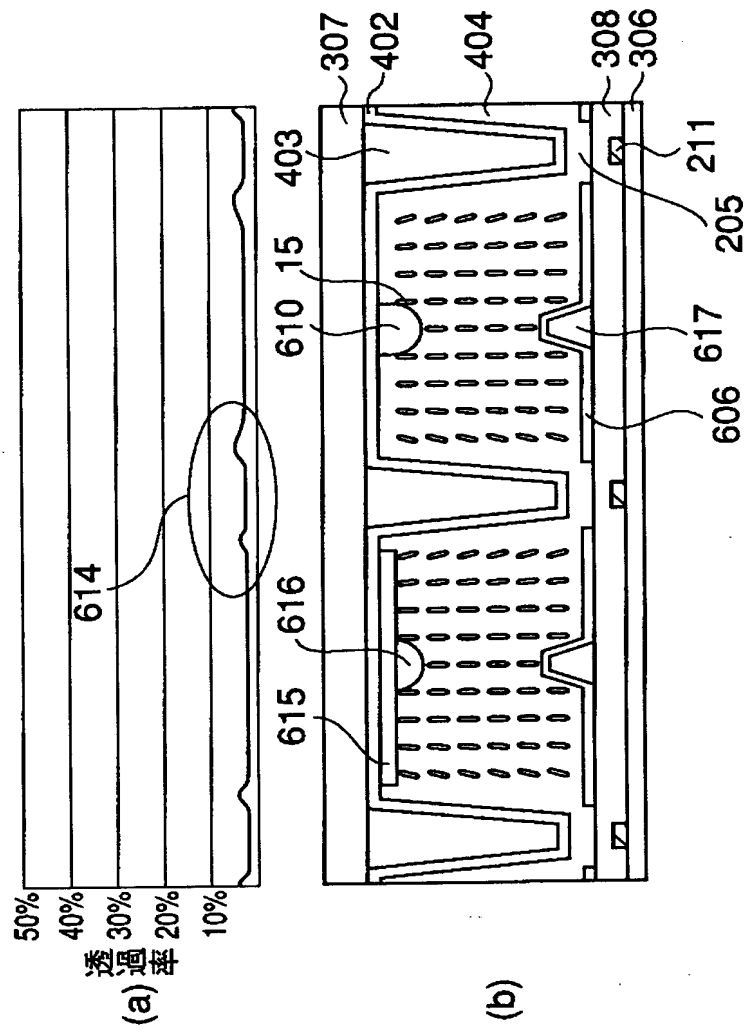
【図 5 5】

図 5 4 に示された液晶表示装置のレイアウトを示す平面図



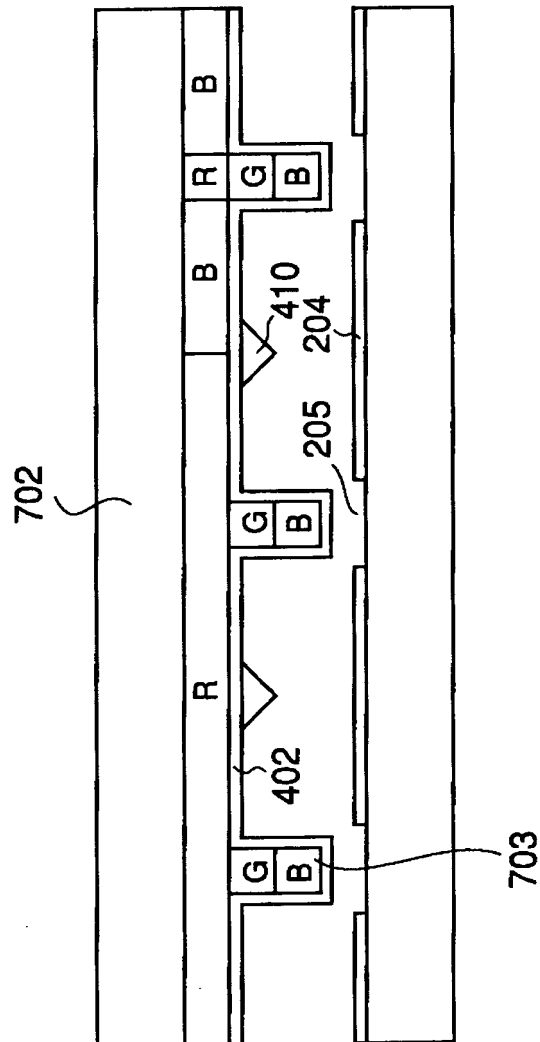
【図 56】

本発明の実施の形態6に係る液晶表示装置における第三の構造例を説明する図



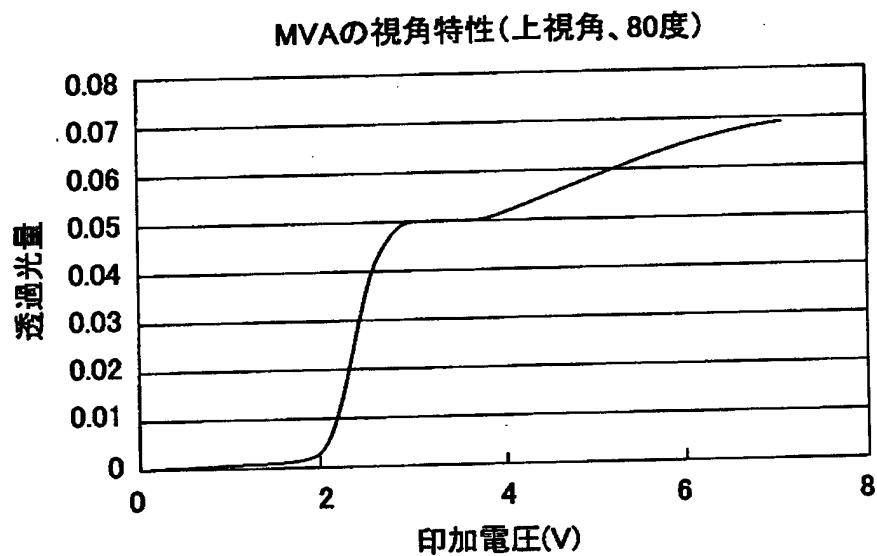
【図 5 7】

本発明の実施の形態6に係る液晶表示装置における第四の構造例を示す断面図



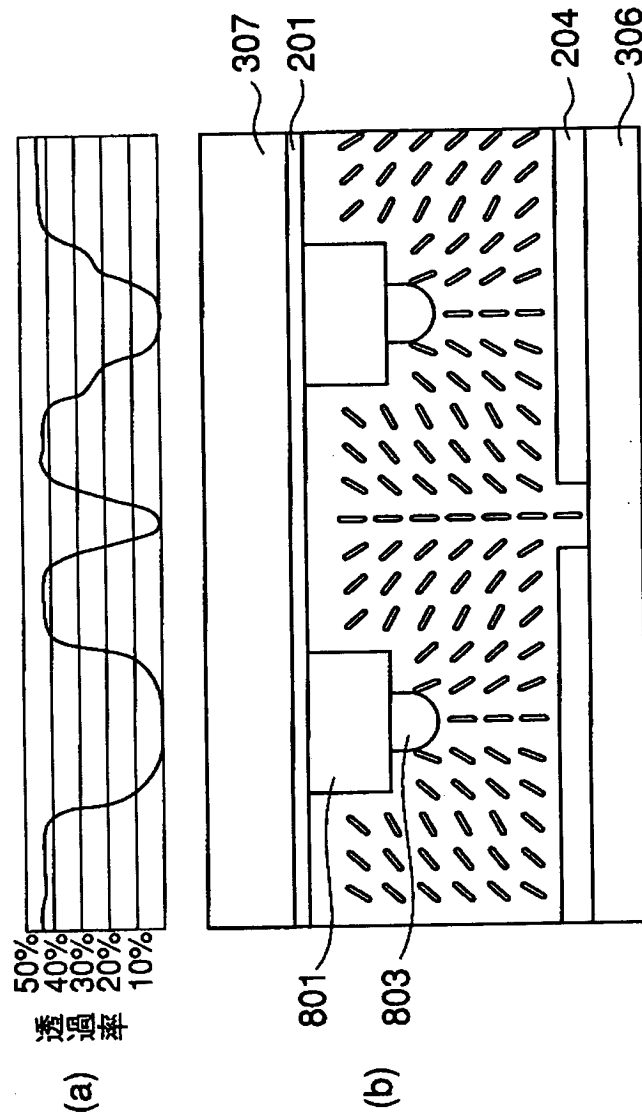
【図 58】

従来のMVA型液晶表示装置における上視角での
T-V特性を示すグラフ



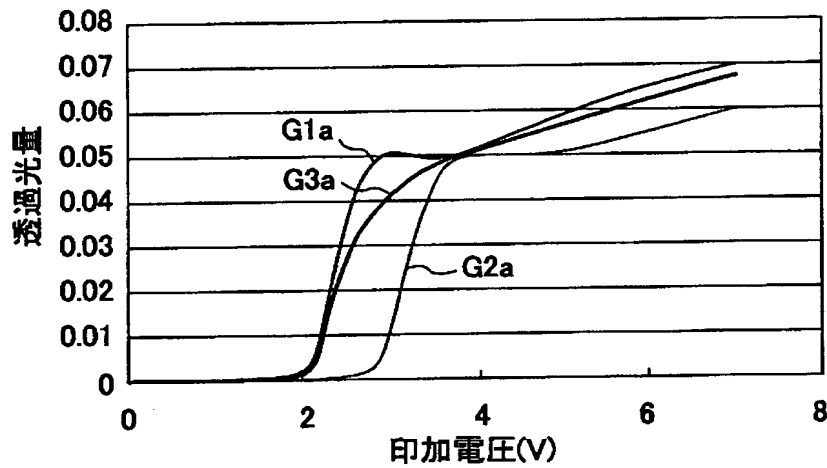
【図 5 9】

本発明の実施の形態6に係る液晶表示装置における第五の構造例を説明する図



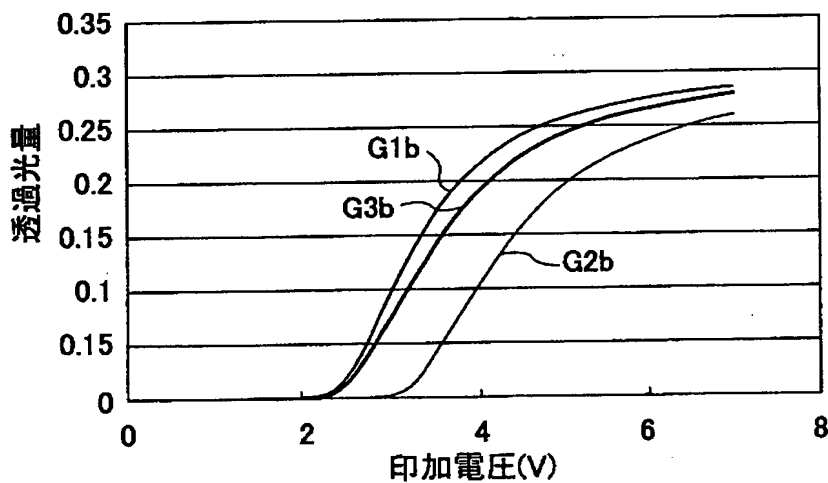
【図 60】

図 59 に示された液晶表示装置における
上視角での T-V 特性を示すグラフ



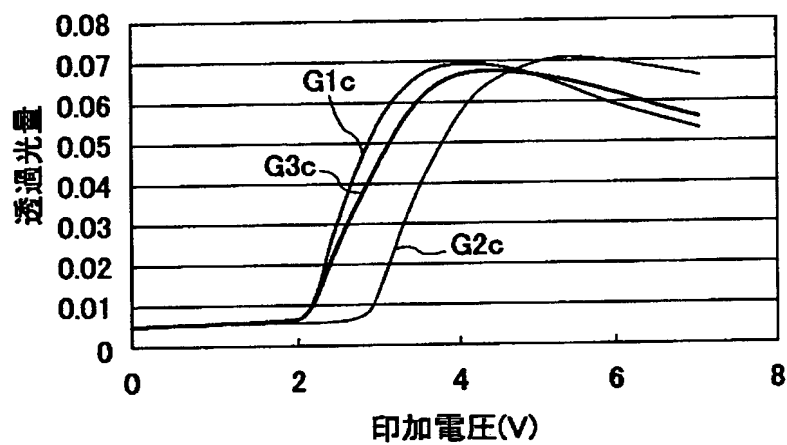
【図 61】

図 59 に示された液晶表示装置における
正面視角での T-V 特性を示すグラフ



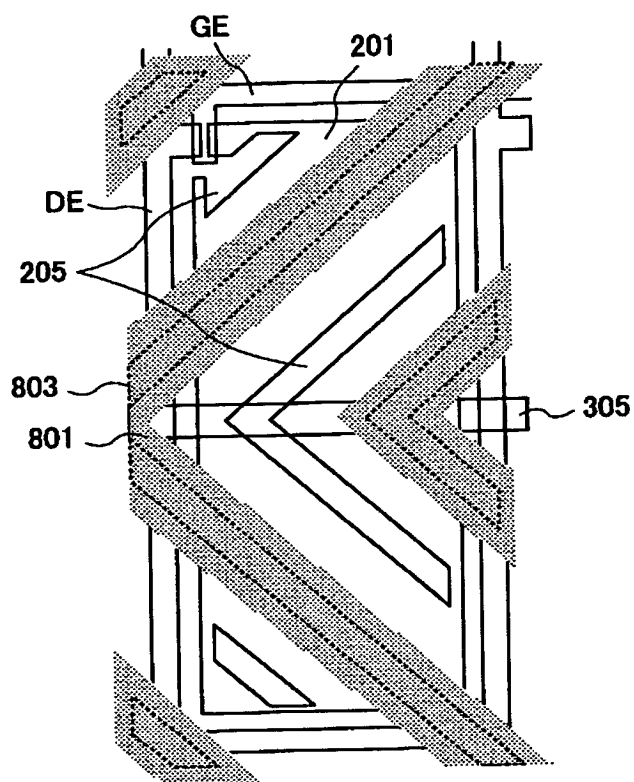
【図 6 2】

図 5 9 に示された液晶表示装置における
右上視角での T-V 特性を示すグラフ



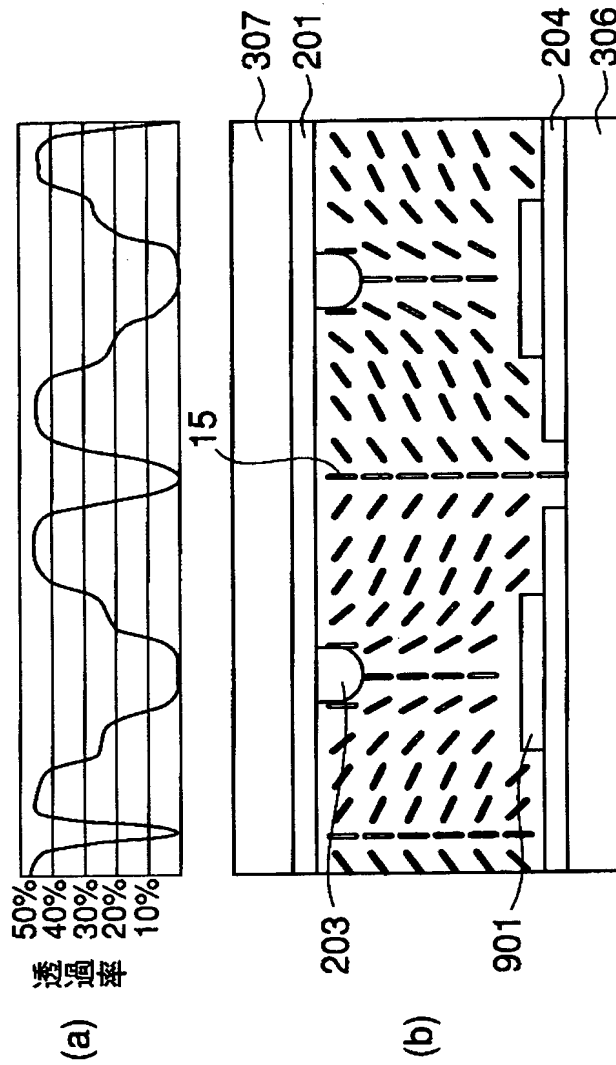
【図 63】

図 59 に示された第五の構造例を示す平面図



【図 6 4】

本発明の実施の形態6に係る液晶表示装置における第六の構造例を説明する図



【書類名】 要約書

【要約】

【課題】 EMI レベルが低減され、かつ視角特性が改善された液晶表示装置とその製造方法を提供する。

【解決手段】 画像を表示する液晶パネル 3 0 へ画像データを供給する複数のデータドライバを含むデータ駆動部 2 9 を有した液晶表示装置であって、少なくとも二つのデータドライバへ供給される画像データが同一である場合には、少なくとも二つのデータドライバに対し同時に該画像データを取り込ませる制御部 2 1 を備えたことを特徴とする液晶表示装置を提供する。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社